

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204787

(43)Date of publication of application : 30.07.1999

(51)Int.CI.

H01L 29/78
H01L 21/318
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 10-005931

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.01.1998

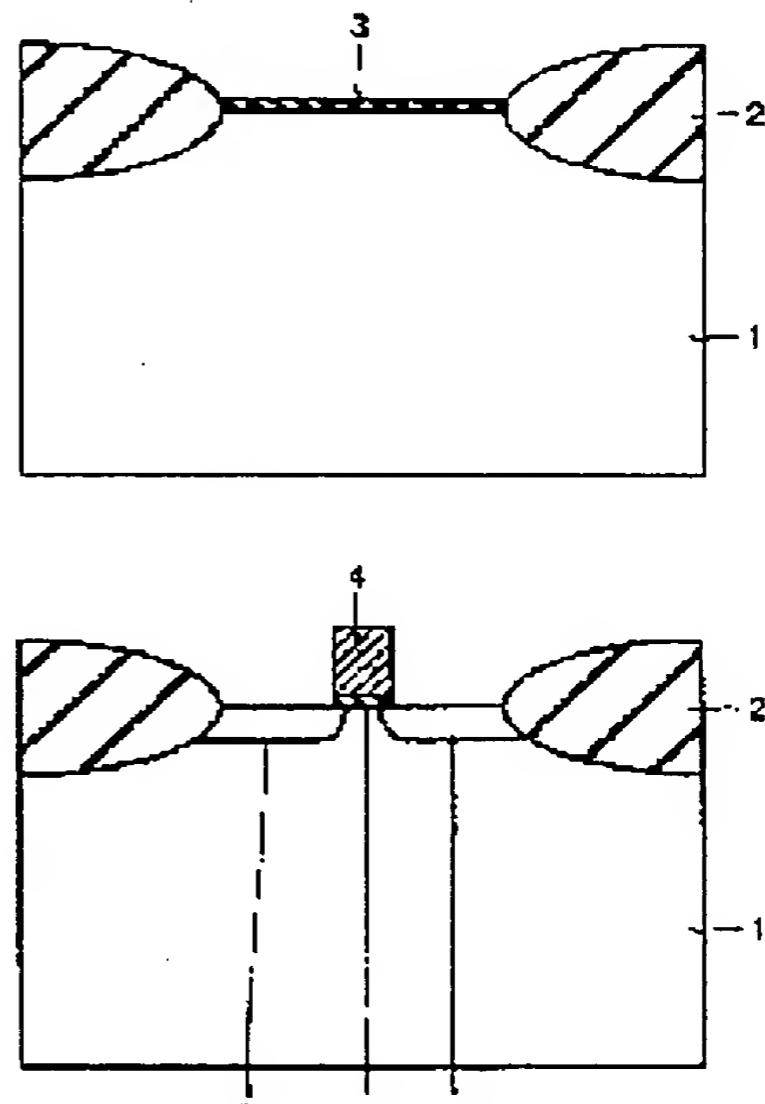
(72)Inventor : UMEDA KOJI
OGATA KAN
KUROKAWA HIROSHI
TAMURA HIROAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve effective mobility, hot carrier life and dielectric breakdown life, by using an Si nitride film as a gate insulation film, and optimizing distribution and combination of N in the Si nitride film.

SOLUTION: A semiconductor device comprises an Si substrate 1, Si nitride oxide film 3 formed on the Si substrate 1, and a gate electrode 4 formed on the Si nitride film 3 with N distributed only near an interface between the Si substrate 1 and the Si nitride oxide film 3. Near the interface all N atoms are combined with two Si atoms and one O atom. Such semiconductor device uses an Si nitride film as a gate insulation film 6 and hence the effective mobility is improved. Because of optimized distribution of N and N atom combination, dielectric breakdown life and hot carrier life are improved, resulting in that a semiconductor device operable at a high speed with a high reliability is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204787

(43) 公開日 平成11年(1999)7月30日

(51) Int.Cl.⁶

H 01 L 29/78
21/318
27/115
21/8247
29/788

識別記号

F I

H 01 L 29/78 3 0 1 G
21/318 C
27/10 4 3 4
29/78 3 0 1 F
3 7 1

審査請求 未請求 請求項の数 8 O L (全 18 頁) 最終頁に続く

(21) 出願番号

特願平10-5931

(22) 出願日

平成10年(1998)1月14日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 梅田 浩司

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 緒方 完

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 黒川 博志

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 弁理士 深見 久郎 (外3名)

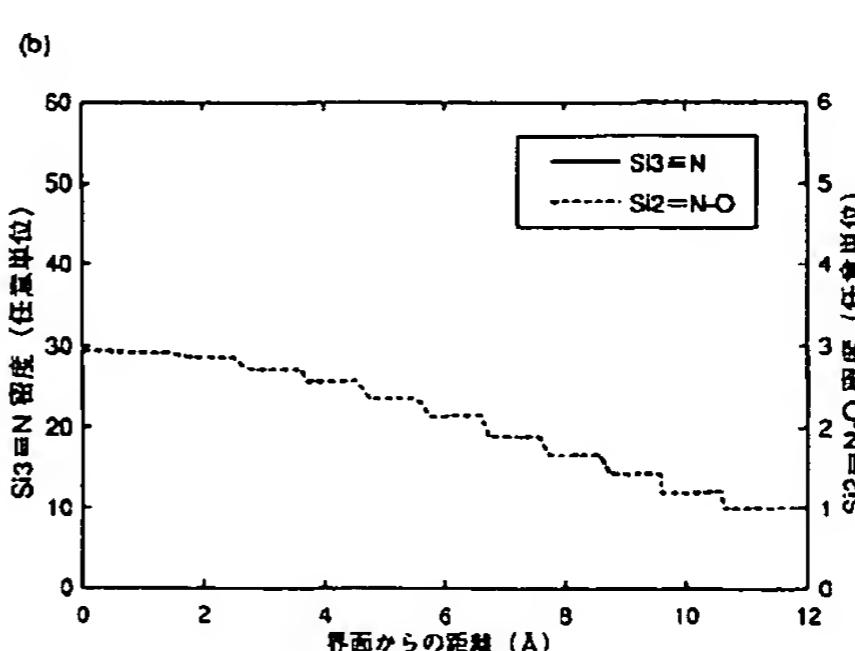
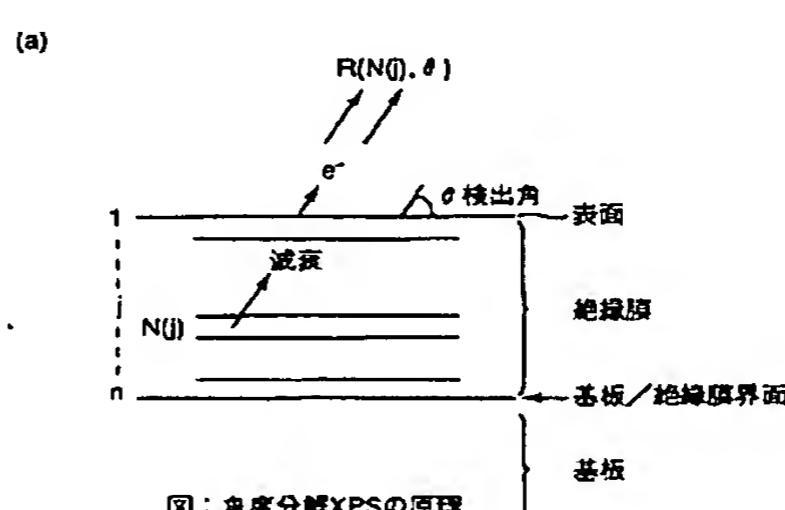
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高速動作が可能で信頼性の高い半導体装置を提供する。

【解決手段】 半導体装置は、シリコン基板と、シリコン基板上に形成されたシリコン窒化酸化膜と、シリコン窒化酸化膜上に形成されたゲート電極とを備える。シリコン基板とシリコン窒化酸化膜との界面近傍にのみ窒素が分布する。界面近傍ではすべての窒素原子は、それぞれ、2つのシリコン原子と1つの酸素原子と結合している。



1

2

【特許請求の範囲】

【請求項1】シリコン基板と、
前記シリコン基板上に形成されたシリコン窒化酸化膜と、
前記シリコン窒化酸化膜上に形成されたゲート電極とを備え、
前記シリコン基板と前記シリコン窒化酸化膜との界面近傍にのみ窒素が分布し、
前記界面近傍では、すべての窒素原子は、それぞれ、2つのシリコン原子と、1つの酸素原子とに結合している、半導体装置。

【請求項2】前記ゲート電極はフローティングゲート電極であり、前記フローティングゲート電極上に誘電体膜を介在させて形成されたコントロールゲート電極をさらに備える、請求項1に記載の半導体装置。

【請求項3】シリコン基板と、
前記シリコン基板上に形成されたシリコン窒化酸化膜と、
前記シリコン窒化酸化膜上に形成されたゲート電極とを備え、
前記シリコン基板と前記シリコン窒化酸化膜との界面近傍にのみ窒素が分布し、
3つのシリコン原子と結合している窒素原子は前記界面近傍にのみ存在する、半導体装置。

【請求項4】前記ゲート電極はフローティングゲート電極であり、前記フローティングゲート電極上に誘電体膜を介在させて形成されたコントロールゲート電極をさらに備える、請求項3に記載の半導体装置。

【請求項5】シリコン基板上にシリコン酸化膜を形成する工程と、
前記シリコン酸化膜を窒化してシリコン窒化酸化膜を形成する工程と、
前記シリコン窒化酸化膜の上にゲート電極を形成する工程とを備え、
前記シリコン酸化膜を形成する工程は、水蒸気雰囲気中で酸化させることによりシリコン酸化膜を形成することを含み、
前記シリコン窒化酸化膜を形成する工程は、温度800°C以上900°C以下の酸化二窒素の雰囲気中に前記シリコン酸化膜を5分間以上60分間以下保つことを含む、半導体装置の製造方法。

【請求項6】前記シリコン窒化酸化膜を形成する工程は、前記シリコン酸化膜の厚さの1.16倍以下の厚さを有するシリコン窒化酸化膜を形成することを含む、請求項5に記載の半導体装置の製造方法。

【請求項7】シリコン基板上にシリコン酸化膜を形成する工程と、
前記シリコン酸化膜を窒化してシリコン窒化酸化膜を形成する工程と、
前記シリコン窒化酸化膜の上にゲート電極を形成する工

程とを備え、

前記シリコン酸化膜を形成する工程は、水蒸気雰囲気中で酸化させることによりシリコン酸化膜を形成することを含み、

前記シリコン窒化酸化膜を形成する工程は、温度800°C以上900°C以下の酸化窒素の雰囲気中に前記シリコン酸化膜を5分間以上60分間以下保つことを含む、半導体装置の製造方法。

【請求項8】前記シリコン窒化酸化膜を形成する工程は、前記シリコン酸化膜の厚さの1.16倍以下の厚さを有するシリコン窒化酸化膜を形成することを含む、請求項7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に、ゲート絶縁膜に窒化酸化膜を用いた半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、コンピュータなどの情報機器の目まぐしい普及によって、半導体装置の需要が急速に拡大している。また、機能的には、大規模な記憶容量を有し、かつ高速動作が可能なものが要求されている。これに伴って、半導体装置の高集積化、高応答性および高信頼性に関する技術開発が進められている。

【0003】半導体装置の中で、記憶情報のランダムな入出力が可能なものとしてDRAM (Dynamic Random Access Memory) が一般的に知られている。このDRAMは多数の記憶情報を蓄積する記憶領域であるメモリセルアレイと、外部との入出力に必要な周辺回路とから構成されている。

【0004】このメモリセルアレイには、単位記憶情報を蓄積するためのメモリセルがマトリックス状に複数個配列されて形成されている。このメモリセルは、通常1個のMOSトランジスタを備えている。

【0005】図45は、従来のDRAMに使用されるMOSトランジスタの断面図である。図45を参照して、p型のシリコン基板201にn型のソース・ドレイン領域202aおよび202bが形成されている。ソース・ドレイン領域202aとソース・ドレイン領域202bとの間にp型のチャネル領域201aである。チャネル領域201a上にはシリコン酸化膜からなるゲート絶縁膜203を介在させてゲート電極204が形成されている。

【0006】このように構成されたMOSトランジスタを動作させる場合には、ゲート電極204に電圧をかける。すると、チャネル領域201aがn型に反転するため、ソース・ドレイン領域202aとソース・ドレイン領域202bとの間に電流が流れれる。

【0007】このようなMOSトランジスタを微細化し

ていくと、ゲート絶縁膜203の膜厚は薄くなり、さらに、ソース・ドレイン領域202aとソース・ドレイン領域202bとの距離も小さくなる。この場合にもゲート電極204に印加する電圧やソース・ドレイン領域202aおよび202bに印加する電圧は従来とあまり変わらないため、微細化によりチャネル201aにおいて縦方向(図45中の縦方向)の電界が大きくなる。これにより、チャネル領域201aにおいて電子の実効移動度 μ_{eff} が低下し、トランジスタの駆動能力が低下するという問題がある。

【0008】また、チャネル領域201aでの横方向(ソース・ドレイン領域202aからソース・ドレイン領域202bへ向かう方向)での電界が大きくなるため、キャリア(電子)が加速され、このキャリアがゲート絶縁膜203に侵入しやすくなる。したがって、トランジスタのホットキャリア寿命が短くなるという問題がある。

【0009】さらに、ゲート絶縁膜203の厚さが薄くなるため、ゲート絶縁膜203内においても電界が大きくなる。これに伴い、ゲート絶縁膜の絶縁性が低下し、トランジスタの経時絶縁破壊TDDB(Time Dependent Dielectric Breakdown)による絶縁破壊寿命 T_{bd} が、急激に低下するという問題がある。

【0010】

【発明が解決しようとする課題】これらの問題を解決するために、ゲート絶縁膜にシリコン窒化酸化膜を用いたトランジスタが特公平7-28041号公報で提案されている。図46は、ゲート絶縁膜にシリコン窒化酸化膜を用いたトランジスタの断面図である。図45に示すトランジスタでは、ゲート絶縁膜にシリコン酸化膜を用いていたが、図46で示すトランジスタでは、ゲート絶縁膜としてシリコンの窒化酸化膜103を用いている。

【0011】その他の点について説明すると、シリコン基板101上に素子分離絶縁膜104が形成され、素子分離絶縁膜104上に層間絶縁膜107が形成されている。シリコン基板101の表面にソース・ドレイン領域106が形成され、シリコン基板101の表面にシリコン窒化酸化膜103を介在させてゲート電極105が形成されている。ゲート電極105を覆うように層間絶縁膜107が形成され、層間絶縁膜107上にソース・ドレイン領域106に達するアルミニウム電極108が形成されている。

【0012】このように構成された半導体装置においては、電子の実効移動度 μ_{eff} は向上するが、ホットキャリア寿命や絶縁破壊寿命の低下という問題は解決されていなかった。

【0013】また、米国特許第5237188号にも、ゲート絶縁膜として窒化酸化膜を利用したトランジスタが記載されているが、このトランジスタにおいても、ホットキャリア寿命や絶縁破壊寿命の低下という問題は解

決されていなかった。

【0014】そこで、この発明は、上述のような問題点を解決するためになされたものであり、実効移動度 μ_{eff} と、ホットキャリア寿命と、絶縁破壊寿命の3つの特性に優れた、すなわち、高速動作が可能で信頼性の高い半導体装置を提供することを目的とするものである。

【0015】

【課題を解決するための手段】本発明者らは、トランジスタにおいて、実効移動度とホットキャリア寿命と絶縁破壊寿命とを向上させるためのさまざまな実験を行なったところ、以下の結論を得た。

【0016】(1) 実効移動度を向上させるためには、ゲート絶縁膜にシリコン窒化酸化膜(SiON)を採用する必要がある。

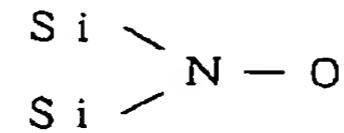
【0017】(2) シリコン窒化酸化膜は、熱酸化法により形成されたシリコン酸化膜を窒化処理することにより形成されるが、この熱酸化法には、乾燥した酸素を用いるドライ酸化法と、水蒸気を用いるウェット酸化法とがある。同一温度で酸化した場合には、ウェット酸化法で形成したシリコン酸化膜を窒化した方が絶縁破壊寿命が長くなる。

【0018】(3) 絶縁破壊寿命とホットキャリア寿命とを向上させるためには、シリコン窒化酸化膜中の窒素の分布と窒素の結合状態を最適化する必要がある。

【0019】これらの知見によりなされたこの発明の半導体装置は、シリコン基板と、シリコン基板上に形成されたシリコン窒化酸化膜と、シリコン窒化酸化膜上に形成されたゲート電極とを備える。シリコン基板とシリコン窒化酸化膜との界面近傍にのみ窒素が分布する。界面近傍では、すべての窒素原子は、それぞれ、2つのシリコン原子と、1つの酸素原子とに結合している。この結合を化学式で表わすと、以下のようになる。

【0020】

【化1】



【0021】このような半導体装置は、ゲート絶縁膜としてシリコン窒化酸化膜を用いているため、実効移動度が向上する。さらに、窒素の分布と窒素原子の結合状態を最適化しているため、絶縁破壊寿命とホットキャリア寿命が向上する。その結果、高速動作が可能で信頼性の高い半導体装置を提供することができる。

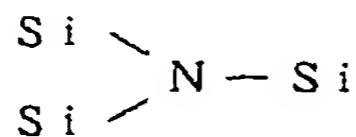
【0022】また、ゲート電極はフローティングゲート電極であり、半導体装置は、フローティングゲート電極上に誘電体膜を介在させて形成されたコントロールゲート電極をさらに備えることが好ましい。この場合、高速動作が可能で、信頼性の高い不揮発性の半導体記憶装置を提供することができる。

【0023】この発明の別の局面に従った半導体装置

は、シリコン基板と、シリコン基板上に形成されたシリコン窒化酸化膜と、シリコン窒化酸化膜上に形成されたゲート電極とを備える。シリコン基板とシリコン窒化酸化膜との界面近傍にのみ窒素が分布する。3つのシリコン原子と結合している窒素原子は、界面近傍にのみ存在し、好ましくは特に界面に近い部分、すなわちシリコン窒化酸化膜が界面に隣接する部分にのみ存在する。この結合を化学式で表わすと、以下のようなになる。

【0024】

【化2】



【0025】このような半導体装置においては、ゲート絶縁膜としてシリコン窒化酸化膜を用いているため、実効移動度が向上する。また、窒素の分布と窒素原子の結合状態を最適化しているため、絶縁破壊寿命とホットキャリア寿命が向上する。その結果、高速動作が可能で信頼性の高い半導体装置を提供することができる。

【0026】また、ゲート電極はフローティングゲート電極であり、半導体装置は、フローティングゲート電極上に誘電体膜を介在させて形成されたコントロールゲート電極をさらに備えることが好ましい。この場合、高速動作が可能で信頼性の高い不揮発性の半導体記憶装置を提供することができる。

【0027】この発明の1つの局面に従った半導体装置の製造方法は、シリコン基板上にシリコン酸化膜を形成する工程と、シリコン酸化膜を窒化してシリコン窒化酸化膜を形成する工程と、シリコン窒化酸化膜の上にゲート電極を形成する工程とを備える。シリコン酸化膜を形成する工程は、水蒸気雰囲気中で酸化させることによりシリコン酸化膜を形成することを含む。シリコン窒化酸化膜を形成する工程は、温度800°C以上900°C以下の酸化二窒素(N₂O)の雰囲気中にシリコン酸化膜を5分間以上60分間以下保つことを含む。

【0028】このような半導体装置の製造方法によれば、実効移動度を向上させるゲート絶縁膜としてシリコン窒化酸化膜を形成する。このシリコン窒化酸化膜は、水蒸気雰囲気中で形成されたシリコン酸化膜を窒化することにより得られるため、絶縁破壊寿命を向上させる。さらに、窒化は、温度800°C以上900°C以下の酸化二窒素の雰囲気中にシリコン酸化膜を5分間以上60分間以下保つことにより行なわれるため、界面近傍にのみ窒素が分布し、すべての窒素原子が、それぞれ、2つのシリコン原子と1つの酸素原子とに結合するようになる。したがって、窒素の分布と結合状態が最適化され、絶縁破壊寿命とホットキャリア寿命を向上させるゲート絶縁膜を形成することができる。その結果、高速動作が可能で信頼性の高い半導体装置を製造することができる。

【0029】シリコン窒化酸化膜を形成する工程において、温度を800°C以上としたのは、温度が800°C未満となると、窒化が十分に進行せず、シリコン窒化酸化膜が得られないからである。また、温度を900°C以下としたのは、温度が900°Cを超えると、窒素原子が3つのシリコン原子と結合するようになるからである。

【0030】また、酸化二窒素の雰囲気中にシリコン酸化膜を5分間以上60分間以下保つこととしたのは、5分間未満であれば、窒化が十分に進行せず、シリコン窒化酸化膜が得られないからであり、60分を超えると窒化速度が飽和するからである。

【0031】また、シリコン窒化酸化膜を形成する工程では、シリコン酸化膜の厚さの1.16倍以下の厚さを有するシリコン窒化酸化膜を形成することが好ましい。

【0032】この発明の別の局面に従った半導体装置の製造方法は、シリコン基板上にシリコン酸化膜を形成する工程と、シリコン酸化膜を窒化してシリコン窒化酸化膜を形成する工程と、シリコン窒化酸化膜の上にゲート電極を形成する工程とを備える。シリコン酸化膜を形成する工程は、水蒸気雰囲気中で酸化させることによりシリコン酸化膜を形成することを含む。シリコン窒化酸化膜を形成する工程は、温度800°C以上900°C以下の酸化窒素(N₂O)の雰囲気中にシリコン酸化膜を5分間以上60分間以上保つことを含む。

【0033】このような半導体装置の製造方法においては、実効移動度を向上させるゲート絶縁膜としてシリコン窒化酸化膜を形成する。このシリコン窒化酸化膜は、水蒸気雰囲気中で形成されたシリコン酸化膜を窒化することにより得られるため、絶縁破壊寿命を向上させる。さらに、窒化は、温度800°C以上900°C以下の酸化窒素の雰囲気中にシリコン酸化膜を5分間以上60分間以下保つことにより行なわれるため、シリコン基板とシリコン窒化酸化膜との界面近傍にのみ窒素が分布し、3つのシリコン原子と結合している窒素原子は界面近傍にのみ存在するようになる。したがって、窒素の分布と結合状態が最適化され、絶縁破壊寿命とホットキャリア寿命が向上する。その結果、高速動作が可能で、信頼性の高い半導体装置を提供することができる。

【0034】シリコン窒化酸化膜を形成する工程において、温度を800°C以上としたのは、温度が800°C未満であれば、窒化が十分に進行せず、シリコン窒化酸化膜を得られないからである。また、温度を900°C以下としたのは、温度が900°Cを超えると、シリコン窒化酸化膜の全体で3つのシリコン原子と結合する窒素原子が存在するようになるからである。

【0035】また、酸化窒素の雰囲気中にシリコン酸化膜を5分間以上60分間以下保つこととしたのは、5分間未満であれば、窒化が十分に進行せず、シリコン窒化酸化膜が得られないからであり、60分を超えると、窒化する速度が飽和するからである。

【0036】また、シリコン窒化酸化膜を形成する工程では、シリコン酸化膜の厚さの1.16倍以下の厚さを有するシリコン窒化酸化膜を形成することが好ましい。

【0037】

【発明の実施の形態】（実施の形態1）

トランジスタの製造

図1～図3はこの発明の実施の形態1に従った半導体装置として電界効果トランジスタの製造工程を示す断面図である。図1を参照して、p型のシリコン基板1上にLOCOS (Local Oxidation of Silicon) 法により分離絶縁膜2を形成した。

【0038】図2を参照して、シリコン基板1をヒータ加熱方式のバッチ式炉に入れた。炉内の温度を約750°Cに保ち、水素と酸素の流量比を1:10～2:1とし、水素と酸素とを反応させることにより水蒸気を生成させた。この水蒸気中でシリコン基板1の表面を酸化してシリコン酸化膜を形成した（パイロジェニック酸化）。

【0039】次に、酸化二窒素 ($N_2 O$) と窒素 (N_2) との体積流量比を5:95とした混合ガスを炉内に導入し、炉内の温度を800°Cとし、この状態を20分間保つことによりシリコン酸化膜を窒化して窒化酸化膜3を形成した。

【0040】窒化酸化膜3を覆うようにドープトポリシリコンを堆積し、このドープトポリシリコンと窒化酸化膜3とを所定の形状にパターニングすることにより、図3に示すようにゲート電極4と厚さ7.5nmのゲート絶縁膜6を形成した。シリコン基板1にリンを注入することによりソース・ドレイン領域5aおよび5bを形成した。

【0041】このようにしてサンプル1の電界効果トランジスタを製造した。

電子の実効移動度 μ_{eff} の測定

図4および図5は、電子のモビリティ（実効移動度）を測定する方法を示す図である。図4を参照して、上述の工程で製造したトランジスタのゲート長Lおよびゲート

幅Wを、ともに100μmとした。シリコン基板1を接地電位とした。容量を測定するためのCVメータ7をゲート電極4とソース・ドレイン領域5aに接続した。ソース・ドレイン領域5aおよび5bも接地電位とした。この状態で、ゲート電極4に印加される電圧を-0.5V～5Vまで変化させてゲート電極4とチャネル領域1aとの間の容量C_{gc}を測定した。

【0042】図5を参照して、容量C_{gc}を測定し終えればゲート電極4を可変ゲート電源8に接続し、ソース・ドレイン領域5aとシリコン基板1を接地電位とした。ソース・ドレイン5bを電流計10と電圧0.05Vのドレイン電源9とに接続することにより、ソース・ドレイン領域5bの電位を0.05Vとした。

【0043】この状態で、ゲート電極4に印加する電圧V_Gを変化させてソース・ドレイン領域5aとソース・ドレイン領域5b間に流れる電流I_Dを測定した。これらの結果を以下の式に代入し、チャネル領域1aでの電荷密度Q_N (V_G)を計算した。

【0044】

【数1】

$$Q_N(V_G) = \int_{-0.5}^{V_G} C_{gc}(V_G') dV_G'$$

【0045】次に、上述の実験結果とQ_N (V_G)とを以下の式に代入し、チャネル領域1aでの電子の実効移動度（モビリティ） μ_{eff} を計算した。

【0046】

【数2】

$$\mu_{eff} = (L/W) \cdot (1/Q_N(V_G)) \cdot (I_D / V_D)$$

【0047】また、図2で示す工程において、N₂OとN₂の体積流量比と窒化温度とを以下のように設定して種々のゲート絶縁膜を備えた電界効果トランジスタとしてサンプル2～6を作製した。

【0048】

【表1】

| サンプル No. | 窒化の際のN ₂ OとN ₂ の 体積流量比 | 窒化時間 (min) | 窒化温度 (°C) | 図での 表示 |
|-------------|---|---------------|--------------|-----------|
| 1 | 5:95 | 20 | 800 | ○ |
| 2 | 5:95 | 20 | 850 | ◇ |
| 3 | 20:80 | 20 | 850 | □ |
| 4 | 100:0 | 20 | 850 | △ |
| 5 | 5:95 | 20 | 900 | ▽ |
| 6 | 熱酸化膜(窒化せず) | | | ● |

【0049】サンプル2～6についても、図4および図5で示すような方法によりチャネル領域1aの電子のモビリティ μ_{eff} を測定した。

【0050】図6～図10は、サンプル6と比較した場合のサンプル1～5についての μ_{eff} とV_Gとの関係を

示すグラフである。図6～図10を参照して、サンプル1については、0V ≤ V_G ≤ 5V、サンプル2については、0V ≤ V_G ≤ 5V、サンプル3については、2.2V ≤ V_G ≤ 5V、サンプル4については、2.7V ≤ V_G ≤ 5V、サンプル5については、1.7V ≤ V_G ≤ 5

Vの範囲で、モビリティ μ_{eff} がサンプル6よりも大きくなっていることがわかる。したがって、ゲート電圧をこの範囲とすれば、サンプル1～5を用いて高速動作が可能な半導体装置として電界効果トランジスタを提供できる。

【0051】ホットキャリア寿命の測定

図11および図12は、ゲート絶縁膜のホットキャリア寿命を測定するための方法を示す図である。図11を参照して、電子の実効移動度 μ_{eff} の測定では、ゲート長Lが $100\ \mu m$ であり、ゲート幅Wが $100\ \mu m$ のトランジスタを製造したのに対し、ゲート長Lは $0.5\ \mu m$ とし、ゲート幅Wは $5\ \mu m$ として、サンプル1～6の電界効果トランジスタを製造した。

【0052】シリコン基板1とソース・ドレイン領域5bを接地電位とした。ソース・ドレイン領域5aと、電流計10と、電圧が $0.05\ V$ のドレイン電源9とを接続した。これにより、ソース・ドレイン領域5aの電位を $0.05\ V$ とした。ゲート電極4と可変ゲート電源8とを接続した。

【0053】この状態で、ゲート電極4に印加する電圧を変化させてサンプル1～6のトランジスタについて初期のしきい値電圧 V_{TH0} を求めた。

【0054】次に、図12を参照して、シリコン基板1を接地電位とし、シリコン基板1と接地電源との間に電流計10を接続した。ソース・ドレイン領域5aを接地電位とした。ソース・ドレイン領域5bと電流計10と可変ドレイン電源11とを接続した。ゲート電極4と可変ゲート電源8とを接続した。

【0055】可変ドレイン電源11のドレイン電圧 V_D を $5.25\ V$ とした。また、電流計10に流れる電流 I_{sub} の値が最大となるようにゲート電極4に電圧を印加した。この状態をa秒間、継続させ、ゲート絶縁膜6に電気的ストレスを与えた。その後、再び、図11で示すような構成により、サンプル1～6のトランジスタについて、しきい値電圧 V_{TH} を求めた。このときのしきい値電圧 V_{TH} が初期のしきい値電圧 V_{TH0} から $10\ mV$ 以上変化していれば、a秒をホットキャリア寿命とした。しきい値電圧 V_{TH} が初期のしきい値電圧 V_{TH0} から $10\ mV$ 以上変化していない場合には、さらに図12で示すような方法でゲート絶縁膜6にa秒間、電気的なストレスを与え、その後、図11で示すような方法により、しきい値電圧 V_{TH} を測定した。

【0056】このような工程を繰返すことにより、電気的なストレスを印加した後のしきい値電圧 V_{TH} が初期のしきい値電圧 V_{TH0} から $10\ mV$ 変化するまでの時間を測定し、その時間をホットキャリア寿命とした。このような測定を、ドレイン電圧 V_D が $5.25\ V$ 、 $5.00\ V$ 、 $4.75\ V$ 、 $4.50\ V$ のそれぞれの場合について行なった。

【0057】図13～図17は、サンプル6と比較した

場合のサンプル1～5についてのホットキャリア寿命 τ とドレイン電圧 V_D との関係を示すグラフである。図13～図17より、この発明で製造したトランジスタ（サンプル1～5）のホットキャリア寿命は、従来の熱酸化膜をゲート絶縁膜として用いたトランジスタ（サンプル6）のホットキャリア寿命と同等、または最大で5倍程度となっている。したがって、この発明により製造したゲート絶縁膜を用いれば、半導体装置としての電界効果トランジスタの寿命は最大で5倍となる。

【0058】図18は、ドレイン電圧 V_D を $5\ V$ とした場合のホットキャリア寿命 τ とゲート絶縁膜を製造する際の $N_2 O$ ガスの流量比との関係を示すグラフである。図18より、 $N_2 O$ ガスの流量比が多くなればホットキャリア寿命 τ が伸びていることがわかる。また、ゲート絶縁膜を高温（ $900\ ^\circ C$ ）で製造したサンプル5のホットキャリア寿命 τ が一番長いことがわかる。

【0059】正バイアス条件での定電圧絶縁破壊特性（TDB特性）の測定

図19は、正バイアス条件での定電圧絶縁破壊特性を測定するための方法を示す図である。図19を参照して、サンプル1のトランジスタを製造した。シリコン基板1とソース・ドレイン領域5aおよび5bとを接地電位とした。ゲート電極4と電流計10と可変ゲート電源8とを接続した。チャネル領域1aとゲート電極4との対向面積Sは $0.1\ mm^2$ とした。この状態で、ゲート絶縁膜6に印加される電界 E_{ox} が $+13\ MV/cm$ となるようにゲート電圧 V_G を以下の式に従って計算し、このゲート電圧 V_G をゲート電極4に印加した。

【0060】

【数3】

$$V_G = V_{FB} + 2\phi F + T_{ox} E_{ox} \quad \dots(A)$$

【0061】 V_{FB} ：フラットバンド電圧、 ϕF ：フェルミポテンシャル、 T_{ox} ：ゲート絶縁膜6の膜厚、 $E_{ox} = +13\ MV/cm$

ゲート電極4にゲート電圧 V_G を印加した時間と電流計10に流れる電流 I_c を測定した。この場合、ゲート絶縁膜6が絶縁破壊を起こすと、リーク電流が増大し、電流 I_c は急激に増加する。97個のサンプル1について、ゲート絶縁膜6に電圧 V_G を印加した直後から電流 I_c が急激に増加するまでの時間を破壊時間 (t_1 、 t_2 、…、 t_{97}) として各々測定した。また、サンプル2～6のトランジスタを製造し、同様の測定を行なった。

【0062】図20～図24は、サンプル6と比較した場合のサンプル1～5についての累積故障率と破壊時間の関係を示すグラフである。ここで、「累積故障率」とは、ある破壊時間において、97個のサンプルのうちのどれだけのサンプルが絶縁破壊を起こしたかを示す割合である。図20～図24より、サンプル5では累積故障率は若干上昇しているが、サンプル1～4の本発明品によれば、従来のトランジスタ（サンプル6）と同等、ま

たはそれ以上に絶縁破壊を抑制でき、信頼性の高いトランジスタが得られる。

【0063】負バイアス条件での定電圧経時絶縁破壊特性(TDDDB特性)の測定

図25は、負バイアス条件での定電圧経時絶縁破壊特性(TDDDB特性)を測定するための方法を示す図である。図25を参照して、シリコン基板1の上に分離絶縁膜2とシリコン窒化酸化膜14とを形成し、その上にゲート電極15を形成した。このようにしてサンプル1～6のトランジスタを製造した。シリコン基板1を接地電位とし、ゲート電極15と電流計10と可変ゲート電源8とを接続した。

【0064】この状態で、ゲート絶縁膜14に印加される電界 E_{ox} が $-12\text{MV}/\text{cm}$ となるように上述の(A)で示す式より、ゲート電極15に印加するゲート電圧 V_c を計算した。この V_c をゲート電極15に印加した時間と電流計10を流れる電流 I_c とを測定した。この場合、ゲート絶縁膜14が絶縁破壊を起こすと、リーク電流が増大し、電流 I_c は急激に増加する。97個のサンプルについて、ゲート電極15に電圧 V_c を印加した直後から電流 I_c が急激な増加を示すまでの時間を破壊時間(t_1, t_2, \dots, t_{97})とした。

【0065】図26～図30は、サンプル6と比較した場合のサンプル1～5の累積故障率と破壊時間との関係を示すグラフである。図26～図30より、本発明品(サンプル1～サンプル5)では、従来のトランジスタ(サンプル6)よりも破壊時間が長くなっていることがわかる。そのため、この発明に従ってゲート絶縁膜を形成すれば、絶縁破壊を抑制でき、信頼性の高いトランジスタが得られる。

【0066】(実施の形態2)

シリコン窒化酸化膜の形成

実施の形態1と同様の方法でシリコン基板上にパイロジエニック酸化によって厚さが 80\AA のシリコン酸化膜を形成した。

【0067】次に、ヒータ加熱方式のバッチ炉において、 N_2O ガスの流量を 4 s l m (standard liter per minute)とし、温度 900°C の雰囲気中に30分間、シリコン基板を保ち、シリコン酸化膜を窒化した。これにより、厚さが 100\AA のシリコン窒化酸化膜(A)を形成した。

【0068】SIMS(Secondary Ion Mass Spectroscopy)分析

SIMSの原理について簡単に説明する。個体表面にイオンビームを照射すると、個体表面の原子とイオンビームとが衝突し、原子の一部が個体の外へ飛び出す。この現象をスパッタリングといい、スパッタリングにより飛び出す原子の一部はイオン(2次イオン)として放出される。この2次イオンの質量分析をすることにより個体中の元素の分析を行なうことができる。さらに、スパッタ

タリングを続けることにより、個体の深さ方向での元素の分布を得ることができる。サンプル7をSIMSにより分析した。

【0069】図31は、SIMS分析によって得られた、上述で得られたシリコン窒化酸化膜(A)の窒素とシリコンと酸素の分布を示すグラフである。図31を参照して、スパッタリング時間が130秒付近がシリコン基板とシリコン窒化酸化膜の界面を示し、スパッタリング時間が130秒を超える部分はシリコン基板内の組成を示し、130秒未満の部分はシリコン窒化酸化膜の組成を示す。シリコン基板とシリコン窒化酸化膜との界面近傍でのみ窒素濃度分布が存在することがわかる。また、窒素濃度はシリコン基板とシリコン窒化酸化膜との界面近傍でのみ最大値を有することがわかる。

【0070】XPS(X-ray Photoelectron Spectroscopy)分析

XPSの原理について簡単に説明する。個体表面にX線を照射すると、光電効果により、内殻準位の電子がX線からエネルギーを得て個体外へ飛び出す。この電子を光電子といい、光電子の運動エネルギー E_k は照射したX線のエネルギー E_x と電子の結合エネルギー E_b の差に相当するので、 $E_k = E_x - E_b$ と表わされる。 E_x は既知であり、 E_k をエネルギー分光器で測定すれば、 $E_b = E_x - E_k$ より、電子の結合エネルギー E_b を求めることができる。この結合エネルギーによって電子の内殻準位を求める、内殻準位と化学結合の状態が関連するため、結合状態を評価することができる。

【0071】次に、実際のXPS分析は、以下のよう角度分解XPS法を用いて行なった。

【0072】固体中で発生した光電子は真空中に飛び出すまでに、一部は固体原子により散乱を受けエネルギーを失う。浅いところで発生した光電子に比べ、深いところで発生した光電子は固体中で長い距離を通過するため、真空中に飛び出せる確率が小さい。最表面での脱出確率を1としたとき、その脱出確率が $1/e$ となる表面からの距離を平均自由行程という。また、光電子の検出角を浅くすると、同じ深さで発生した光電子でも真空中に飛び出すまでに固体中を通過する距離が長くなる。つまり、浅い領域からの信号量が相対的に増加するため実効的な平均自由行程を短くすることができる。このように、検出角を変化させることにより信号の発生深さを変えることができ、深さ方向の情報が得られる。ただし、検出角を大きくして検出角を深くしても、浅い部分の信号が重なって検出される。そのため、深さ方向の濃度分布に信号を変換するために、膜を有限な厚さの層状に分けたモデルを用いて、シミュレーションとカーブフィッティングを用いて解析する。

【0073】図32の(a)は、窒化酸化膜を層状に分けたモデルを示す図である。表面側から $1, 2, \dots, n$ 層とすると、 j 層で発生した光電子は $j-1$ 層で順次減

衰を受けた真空中に飛び出す。これを $1 \sim n$ 層で発生する光電子について和をとったものが、実際に検出される光電子の総量となる。 j 層でのN(窒素)濃度をN

(j) とすると、N(窒素)原子から発生した光電子の強度の総量RはN(j)とθの関数となる。θを変化させてRを測定すれば、未知変数はN(j)のみとなる。しかし、この式をN(j)について解くことは容易ではないので(N(j), θ)が実測データと一致するN(j)を、計算機を用いたカーブフィッティングにより見つけ出す。このようにして求めたN(j)が深さ方向のN濃度分布に対応する。

【0074】また、N 1 s(窒素原子の1 s軌道)のXPSスペクトルを、Si 3≡NとSi 2=N-Oにピーク分離し、それぞれに対して角度分解法により深さ分布を求めた。

【0075】このようなXPSにより、上述で得られたシリコン窒化酸化膜(A)内の原子の結合状態を分析した。

【0076】図32の(b)は、XPS分析によって得られた、シリコン窒化酸化膜(A)内の結合状態を示すグラフである。

【0077】図32の(b)中「界面からの距離」とは、シリコン基板とシリコン窒化酸化膜との界面からシリコン窒化酸化膜の内部までの距離をいう。また、「Si₃≡N密度」とは、すべての原子のうち、3つのシリコン原子と結合している窒素原子の割合をいう。また、「Si₂=N-O密度」とは、すべての原子のうち、2つのシリコン原子と1つの酸素原子とに結合している窒素原子の割合をいう。なお、「Si₃≡N密度」の目盛りは「Si₂=N-O密度」の目盛りの10倍のスケールである。図32の(b)より、シリコン基板とシリコン窒化酸化膜との界面近傍では、すべての窒素原子は2つのシリコン原子と1つの酸素原子とに結合していることがわかる。

【0078】比較品の作製および分析

実施の形態1と同様のパイロジェニック酸化により、温度750°Cでシリコン基板上にシリコン酸化膜を形成した。このシリコン酸化膜を温度900°Cのアンモニアガスで2分間窒化することにより、シリコン窒化酸化膜(B)を形成した。

【0079】図33は、アンモニアで窒化したシリコン窒化酸化膜(B)内の窒素とシリコンと酸素の分布を示すグラフであり、図34は、アンモニアで窒化したシリコン窒化酸化膜(B)内の窒素原子の結合状態を示すグラフである。図33および図34より、アンモニアで窒化した方が、図32および31で示すようにN₂Oで窒化した場合に比べて、シリコン窒化酸化膜内の窒素の量は多くなるが、窒素の分布が広がるだけでなく、この窒素は3つのシリコン原子と結合するようになることがある。

【0080】電荷保持特性の測定

図35はシリコン窒化酸化膜(A)の電荷保持特性を測定する方法を示す図である。図35を参照して、シリコン基板1の表面に形成された分離酸化膜2に囲まれた領域に、シリコン窒化酸化膜(A)からなる厚さ100Åのゲート絶縁膜21を設けた。このゲート絶縁膜21上にドープトポリシリコン膜20を形成し、可変電源52に接続した。シリコン基板1は接地電位とした。このようにして、可変電源52の電圧を変化させることにより、電流計10に流れる電流を測定した。

【0081】次に、ゲート絶縁膜21に0.02A/cm²の電流密度で50秒間、電子を注入し、ゲート絶縁膜21に電気的ストレスを与えた。

【0082】次に、電気的ストレスを与えられたゲート絶縁膜21に、可変電源52によりさまざまな電圧を与え、電流計10を流れる電流を測定した。

【0083】また、ゲート絶縁膜21を厚さが100Åのシリコン酸化膜に代え、同様の実験を行なった。

【0084】図36は、シリコン酸化膜とシリコン窒化酸化膜(A)との間で比較して、電流密度と電界との関係を示すグラフである。図36中、「○」は電気的ストレスを与える前のシリコン酸化膜、「●」は電気的ストレスを与えた後のシリコン酸化膜、「◇」は電気的ストレスを与える前のシリコン窒化酸化膜、「△」は電気的ストレスを与えた後のシリコン窒化酸化膜、についてのプロットを示す。これは、後述の図38および図44でも同様である。

【0085】図36より、この発明により製造されたシリコン窒化酸化膜は、シリコン酸化膜に比べて、電気的ストレスを印加した後に電流密度が小さくなっていることがわかる。これは、高電界を印加された後でも、高い絶縁性を有することになり、電荷保持特性が向上しているといえる。

【0086】図37は本発明により製造したシリコン窒化酸化膜(A)をゲート絶縁膜として有するフラッシュメモリのメモリセルを示す断面図である。図37では、シリコン基板1とフローティングゲート電極20との間にシリコン窒化酸化膜(A)により構成されるゲート絶縁膜21が形成されている。

【0087】その他の構成については、シリコン基板1の表面に分離絶縁膜2が形成され、フローティングゲート電極20と分離絶縁膜2とを覆うようにONO膜(シリコン酸化膜、シリコン窒化膜、シリコン酸化膜の積層膜)22とコントロールゲート電極23と層間絶縁膜24が形成されている。

【0088】このように構成すれば、ゲート絶縁膜2の電荷保持特性が高いため、一旦フローティングゲート電極2に蓄積された電荷はシリコン基板1へ漏れず、電荷保持特性の優れたフラッシュメモリとすることができます。また、フッ酸によりエッチングする際にはN-O結

合はN-Si結合よりも切れやすい。そのため、本発明品は窒素が3つのシリコンと結合しているような窒化酸化膜よりもエッチングしやすい。

【0089】(実施の形態3)

シリコン窒化酸化膜の形成

実施の形態1と同様の手法でパイロジエニック酸化によりシリコン基板上に厚さが86Åのシリコン酸化膜を形成した。

【0090】次に、ヒータ加熱方式のバッチ炉において

$$\text{膜厚増加率} = \frac{(\text{シリコン窒化酸化膜の膜厚}) - (\text{シリコン酸化膜の膜厚})}{\text{シリコン窒化酸化膜の膜厚}}$$

【0092】このシリコン窒化酸化膜(C)の膜厚増加率は14%であった。また、別のシリコン基板に、パイロジエニック酸化により厚さ100Åのシリコン酸化膜を形成した。

【0093】電荷保持特性の測定

厚さ100Åのシリコン窒化酸化膜(C)と厚さ100Åのシリコン酸化膜とについて図35で示すような方法により電界と電流密度との測定を行なった。図38は、シリコン酸化膜とシリコン窒化酸化膜(C)とを比較して、電流密度と電界との関係を示すグラフである。図38中の「○」、「●」、「◇」、「△」については、図36と同様である。図38より、この発明に従って製造したシリコン窒化酸化膜は、電気的ストレスを印加した後でも、高い絶縁性を有することがわかる。そのため、このシリコン窒化酸化膜(C)を図37で示すゲート絶縁膜21として用いれば、電荷保持特性の高いフラッシュメモリを提供することができる。

【0094】しきい値電圧のばらつきの測定

上述の方法に従い、膜厚増加率をさまざまに変えたサンプル8~13で示すシリコン窒化酸化膜(D)~(I)(D:膜厚増加率0%、E:膜厚増加率4%、F:膜厚増加率14%、G:膜厚増加率21%、H:膜厚増加率22%、I:膜厚増加率31%)を製造した。

【0095】図39および40は、しきい値電圧のばらつきを測定する方法を説明するための図である。図39を参照して、シリコン基板1上にシリコン窒化酸化膜(D)からなるゲート絶縁膜21を形成した。ゲート絶縁膜21上にフローティングゲート電極20、ONO膜22、コントロールゲート電極23を形成し、ゲート絶縁膜21の両側にソース領域30とドレイン領域31とを形成した。

【0096】このようなフラッシュメモリのメモリセルを28800個形成し、そのうちの1つのメモリセルAについて、ドレイン領域31に+1Vを印加し、シリコン基板1を接地電位とし、コントロールゲート電極23に正の電圧を印加した。ソース領域30とドレイン領域31との間を流れる電流値が30μAとなった時点でのコントロールゲート23に印加された電圧をしきい値電圧とした。このしきい値電圧のばらつきを以下のように

て、温度が850°Cで流量が4slmのN₂Oガスによりシリコン酸化膜を30分間窒化することにより、シリコン窒化酸化膜(C)を形成した。このシリコン窒化酸化膜(C)の膜厚はシリコン酸化膜の膜厚の1.16倍である100Åとなった。このときの膜厚増加率は以下の式で計算した。

【0091】

【数4】

測定した。最初に、28800個のメモリセルのうちの1つのメモリセル(A)において図39で示すように、ドレイン領域31をフローティングとした。ソース領域30とシリコン基板1に負の電圧NV、コントロールゲート電極に正に電圧MVをt₁秒間印加し、t₁秒間シリコン基板1からフローティングゲート電極20に電子を注入した。これにより、しきい値電圧が正の電圧LVになった。また、他のメモリセルについても、ソース領域30とシリコン基板1とコントロールゲート電極23を図39で示すような電位とし、フローティングゲート電極21にt₁秒間電子を注入した。

【0097】次に、上述のメモリセルAにおいて、図40で示すように、ソース領域30とシリコン基板1とはフローティングとした。ドレイン領域31に正の電圧PV、コントロールゲート電極23に負の電位QVをt₂秒間印加し、t₂秒間フローティングゲート電極20からドレイン領域31へ電子を引出した。これにより、しきい値電圧がR₁Vになった。

【0098】他のメモリセルについても、図40で示すようにコントロールゲート電極23とドレイン領域31に図40で示すような電圧を印加し、フローティングゲート電極20からt₂秒間電子を引出し、しきい値電圧R₂~R₂₈₈₀₀を測定した。R₁~R₂₈₈₀₀の最大値と最小値との差をしきい値電圧のばらつきZとした。また、シリコン窒化酸化膜(E)~(I)からなるゲート絶縁膜21のそれぞれについて、上述の工程に従い、フラッシュメモリのメモリセルを形成し、しきい値電圧のばらつきを測定した。

【0099】図41は、膜厚比(シリコン窒化酸化膜の厚さ/シリコン酸化膜の厚さ)および膜厚増加率としきい値電圧のばらつきとの関係を示すグラフである。図41より、膜厚増加率が14%(膜厚比1.16)を超えると、しきい値電圧のばらつきが大きくなることがわかる。そのため、しきい値電圧のばらつきが小さいフラッシュメモリを製造するためには、膜厚増加率を14%以下、すなわち、膜厚比を1.16以下とすることが好ましいことがわかる。

【0100】(実施の形態4)

シリコン窒化酸化膜の作製

実施の形態1と同様の方法により、パイロジェニック酸化により厚さが96Åのシリコン酸化膜をシリコン基板上に形成した。

【0101】次に、ヒータ加熱方式のバッチ炉において、温度が900°CのNOガスの流量が4slmの雰囲気で30分間シリコン酸化膜を窒化処理することにより、厚さ100Åのシリコン窒化酸化膜(J)を形成した。

【0102】SIMS分析およびXPS分析

図42はシリコン窒化酸化膜(J)内の酸素とシリコンと窒素の分布を示すグラフであり、図43はシリコン窒化酸化膜(J)内の窒素の結合状態を示すグラフである。図42を参照して、スパッタリング時間が0から30秒の間で窒素の濃度が増加しているが、これは、機械誤差によるものであり、この部分では、窒素密度はほぼ0である。したがって、シリコン基板とシリコン窒化酸化膜の界面近傍にのみ窒素分布が存在していることがわかる。

【0103】また、図43より、3つのシリコン原子と結合している窒素原子は、シリコン基板とシリコン窒化酸化膜との界面近傍のうちでも特に界面に近い部分、すなわちシリコン窒化酸化膜が界面に隣接する部分にのみ存在していることがわかる。

【0104】電荷保持特性の測定

シリコン窒化酸化膜(J)の電荷保持特性を図35で示すような方法により調べた。

【0105】図44は、厚さ100Åのシリコン窒化酸化膜(J)と実施の形態3で形成した厚さ100Åのシリコン酸化膜とを比較して、電流密度と電界との関係を示すグラフである。図44中の「○」、「●」、「△」、「◇」については、図36と同様である。図44より、シリコン窒化酸化膜(J)は、電気的ストレスを加えた後も、絶縁性に優れていることがわかる。したがって、シリコン窒化酸化膜(J)を図37で示すゲート絶縁膜21として使用すれば、電荷保持特性の優れたフラッシュメモリを製造することができる。また、実施の形態3と同様に膜厚比をさまざまに変えたシリコン窒化酸化膜を作製し、しきい値電圧のばらつきを調べたところ、膜厚比が1.16倍以下であれば、しきい値電圧のばらつきが小さかった。

【0106】以上、この発明の実施の形態について説明したが、ここに示した実施の形態はさまざまに変形することが可能である。まず、実施の形態2~4において、酸化膜形成の工程と窒化とが同一の装置内で行なわれてもよい。さらに、それぞれの膜の膜厚や印加電圧などは必要に応じて適宜変更することができる。

【0107】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味お

よび範囲内のすべての変更が含まれることが意図される。

【0108】

【発明の効果】請求項1、5に記載の発明によれば、高速動作が可能で、しきい値電圧の変動が少なく絶縁破壊が起こりにくい、信頼性の高い半導体装置を提供できる。

【0109】請求項2、3、4、6、7、8に記載の発明によれば、優れた電荷保持特性を有する不揮発性の半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】 実施の形態1に従った半導体装置の製造方法の第1工程を示す断面図である。

【図2】 実施の形態1に従った半導体装置の製造方法の第2工程を示す断面図である。

【図3】 実施の形態1に従った半導体装置の製造方法の第3工程を示す断面図である。

【図4】 電子のモビリティを測定するための第1工程を示す図である。

【図5】 電子のモビリティを測定するための第2工程を示す図である。

【図6】 サンプル6と比較した場合のサンプル1についてのゲート電圧と電子のモビリティとの関係を示すグラフである。

【図7】 サンプル6と比較した場合のサンプル2についてのゲート電圧と電子のモビリティとの関係を示すグラフである。

【図8】 サンプル6と比較した場合のサンプル3についてのゲート電圧と電子のモビリティとの関係を示すグラフである。

【図9】 サンプル6と比較した場合のサンプル4についてのゲート電圧と電子のモビリティとの関係を示すグラフである。

【図10】 サンプル6と比較した場合のサンプル5についてのゲート電圧と電子のモビリティとの関係を示すグラフである。

【図11】 ホットキャリア寿命を測定するための第1工程を示す図である。

【図12】 ホットキャリア寿命を測定するための第2工程を示す図である。

【図13】 サンプル6と比較した場合のサンプル1についてのドレイン電圧とホットキャリア寿命との関係を示すグラフである。

【図14】 サンプル6と比較した場合のサンプル2についてのドレイン電圧とホットキャリア寿命との関係を示すグラフである。

【図15】 サンプル6と比較した場合のサンプル3についてのドレイン電圧とホットキャリア寿命との関係を示すグラフである。

【図16】 サンプル6と比較した場合のサンプル4に

についてのドレイン電圧とホットキャリア寿命との関係を示すグラフである。

【図17】サンプル6と比較した場合のサンプル5についてのドレイン電圧とホットキャリア寿命との関係を示すグラフである。

【図18】ホットキャリア寿命とN₂Oガスの流量比との関係を示すグラフである。

【図19】定電圧での経時絶縁破壊特性(TDDDB特性)を測定する方法を説明するための図である。

【図20】サンプル6と比較した場合のサンプル1についての破壊時間と累積故障率との関係を示すグラフである。

【図21】サンプル6と比較した場合のサンプル2についての破壊時間と累積故障率との関係を示すグラフである。

【図22】サンプル6と比較した場合のサンプル3についての破壊時間と累積故障率との関係を示すグラフである。

【図23】サンプル6と比較した場合のサンプル4についての破壊時間と累積故障率との関係を示すグラフである。

【図24】サンプル6と比較した場合のサンプル5についての破壊時間と累積故障率との関係を示すグラフである。

【図25】定電圧での経時絶縁破壊特性(TDDDB特性)を測定するための方法を説明するための図である。

【図26】サンプル6と比較した場合の負バイアス条件でのサンプル1についての破壊時間と累積故障率との関係を示すグラフである。

【図27】サンプル6と比較した場合の負バイアス条件でのサンプル2についての破壊時間と累積故障率との関係を示すグラフである。

【図28】サンプル6と比較した場合の負バイアス条件でのサンプル3についての破壊時間と累積故障率との関係を示すグラフである。

【図29】サンプル6と比較した場合の負バイアス条件でのサンプル4についての破壊時間と累積故障率との関係を示すグラフである。

【図30】サンプル6と比較した場合の負バイアス条件でのサンプル5についての破壊時間と累積故障率との

関係を示すグラフである。

【図31】シリコン窒化酸化膜(A)内の窒素原子と酸素原子とシリコン原子との分布を示す図である。

【図32】シリコン窒化酸化膜(A)内の窒素の結合状態を示すグラフである。

【図33】比較として窒化酸化膜(B)内の窒素原子と酸素原子とシリコン原子との分布を示すグラフである。

【図34】比較として窒化酸化膜(B)内の窒素の結合状態を示すグラフである。

【図35】ゲート絶縁膜の電界と電流密度を測定するための方法を説明するための図である。

【図36】シリコン窒化酸化膜(A)内の電流密度と電界との関係を示すグラフである。

【図37】この発明により製造したシリコン窒化酸化膜をゲート絶縁膜として用いたフラッシュメモリのメモリセルを示す断面図である。

【図38】シリコン窒化酸化膜(C)とシリコン酸化膜とを比較して電流密度と電界との関係を示すグラフである。

【図39】フラッシュメモリのメモリセルのしきい値電圧のばらつきの測定方法の第1工程を示す図である。

【図40】フラッシュメモリのメモリセルのしきい値電圧のばらつきを測定方法の第2工程を示す図である。

【図41】膜厚比および膜厚増加率としきい値電圧のばらつきとの関係を示すグラフである。

【図42】シリコン窒化酸化膜(J)内の窒素原子と酸素原子とシリコン原子との分布を示すグラフである。

【図43】シリコン窒化酸化膜(J)内の窒素の結合状態を示すグラフである。

【図44】シリコン窒化酸化膜(J)内の電流密度と電界との関係を示すグラフである。

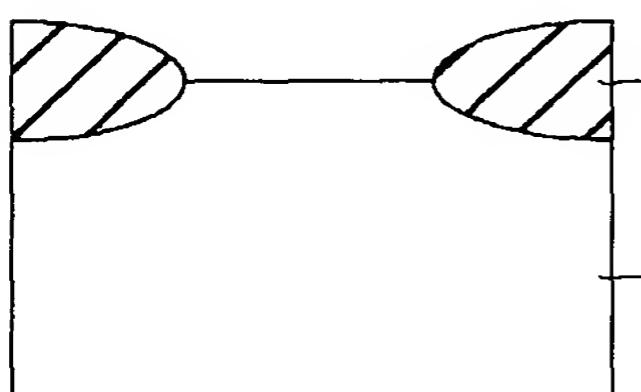
【図45】従来のトランジスタに用いられる窒化酸化膜を示す断面図である。

【図46】従来のトランジスタに用いられる改良された窒化酸化膜を示す断面図である。

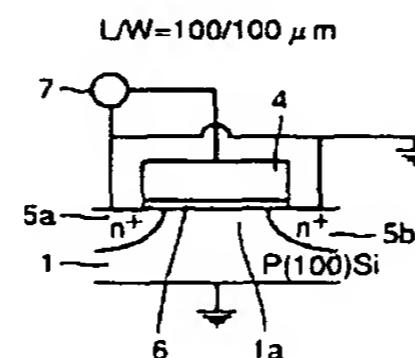
【符号の説明】

- 1 シリコン基板、3 窒化酸化膜、4 ゲート電極、6 ゲート絶縁膜。

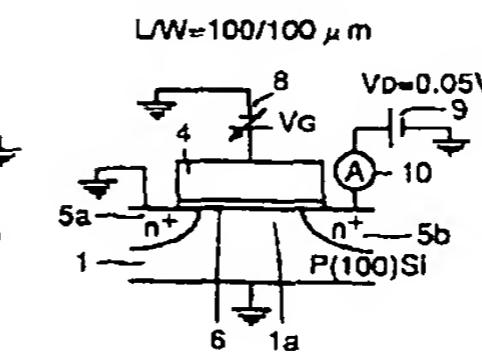
【図1】



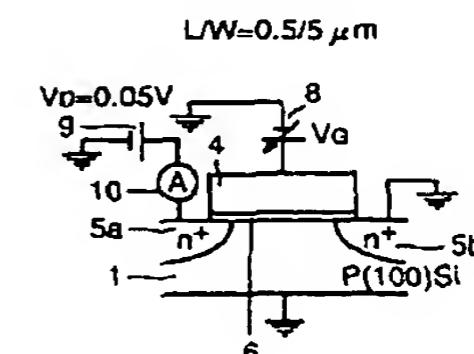
【図4】



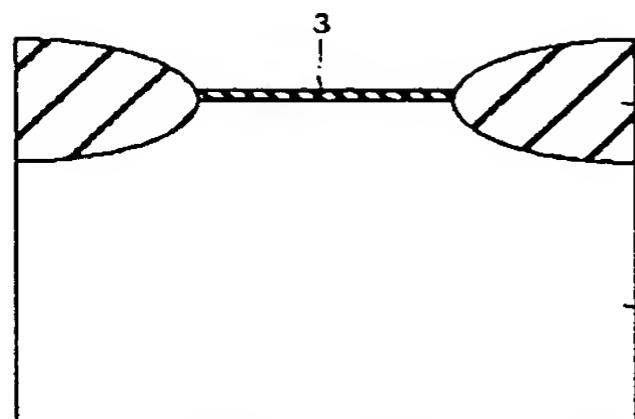
【図5】



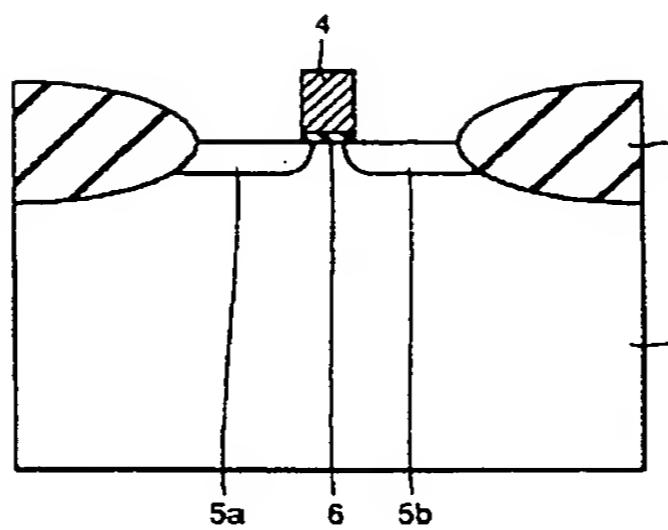
【図11】



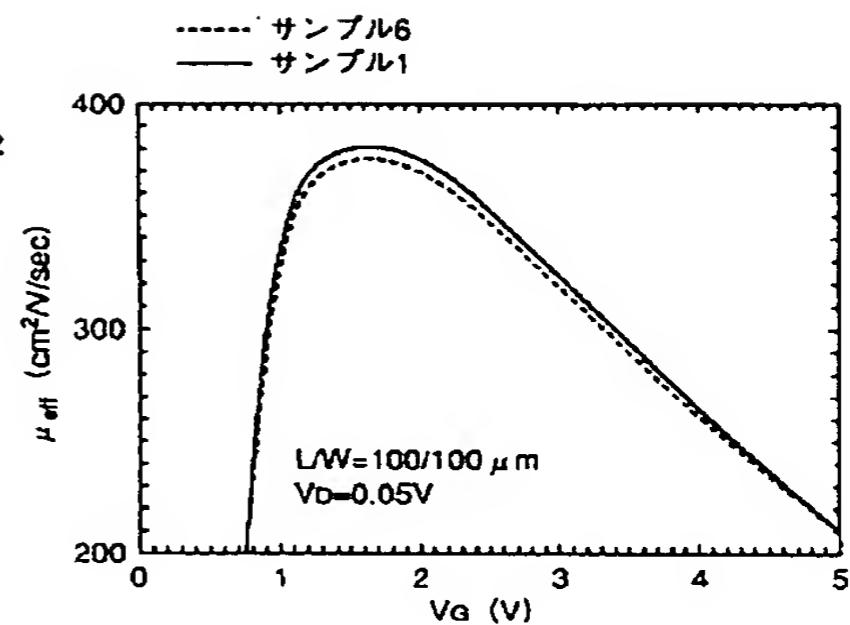
【図2】



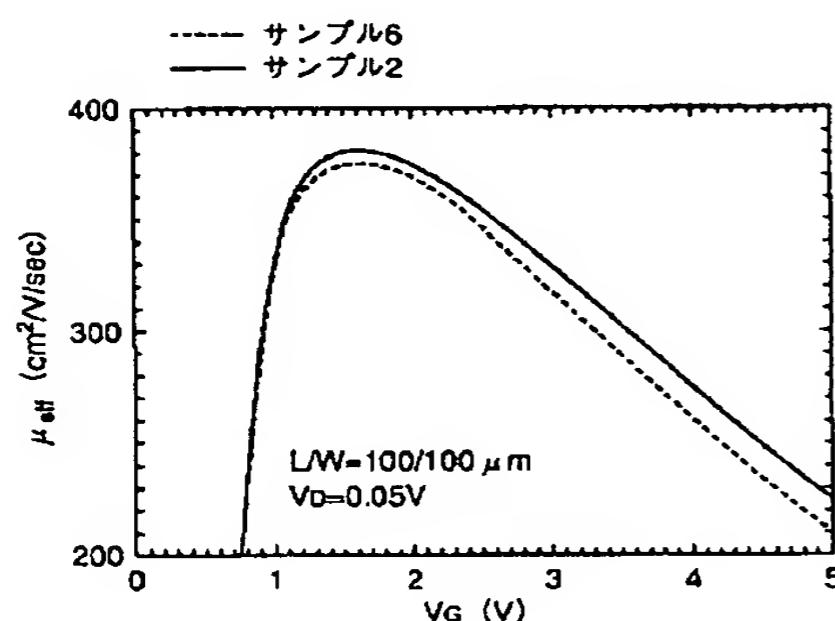
【図3】



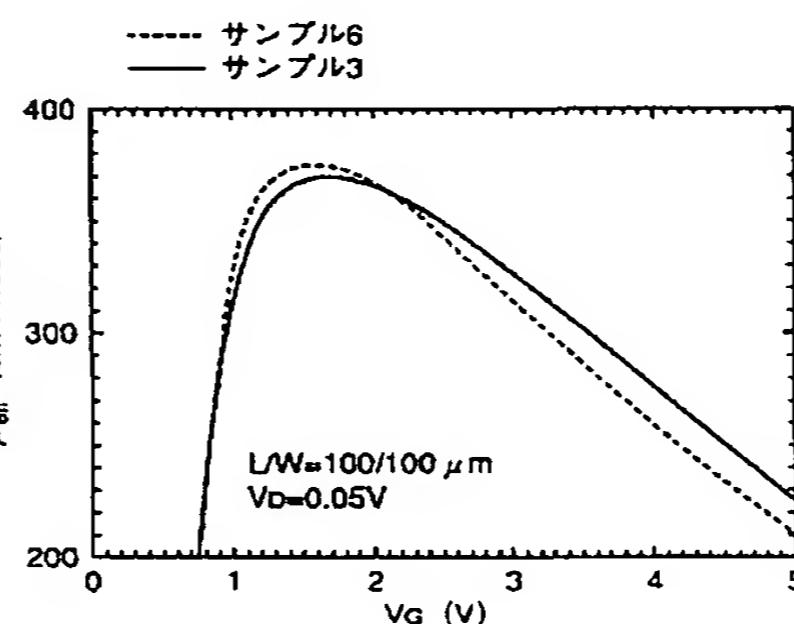
【図6】



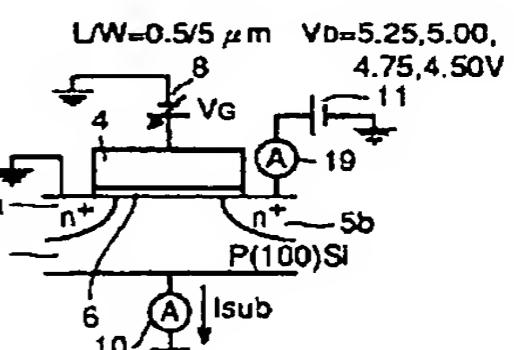
【図7】



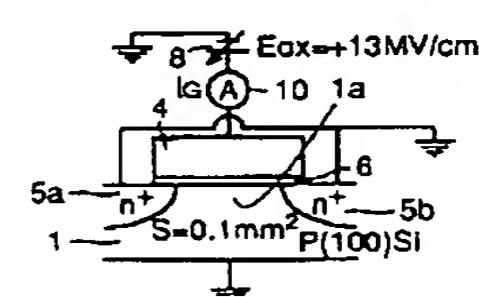
【図8】



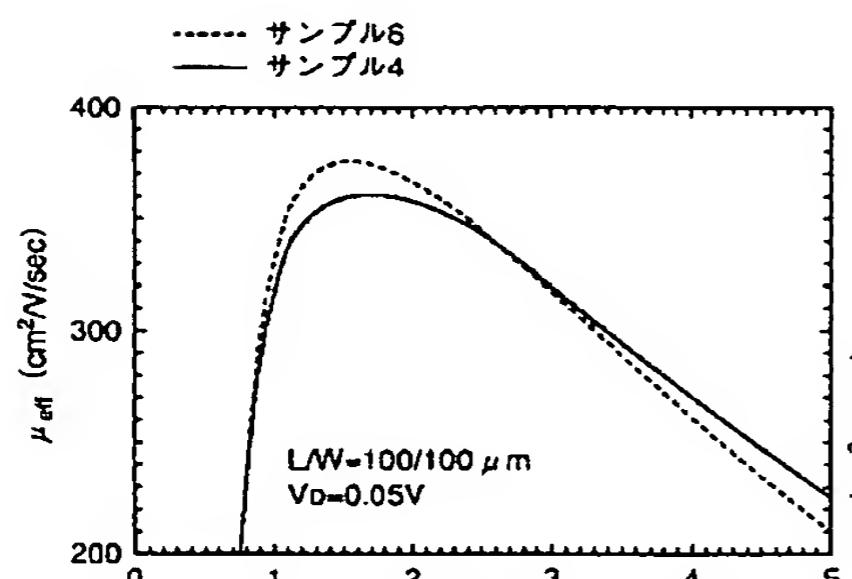
【図12】



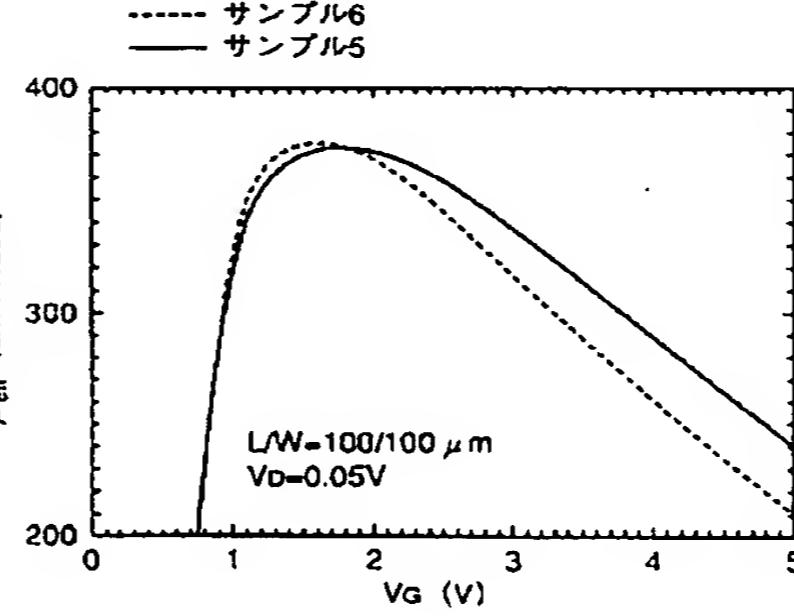
【図19】



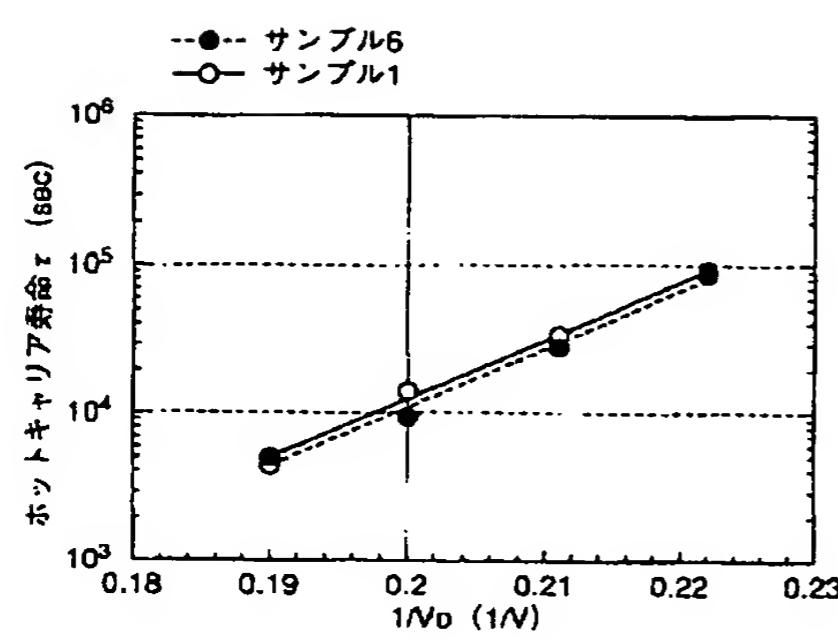
【図9】



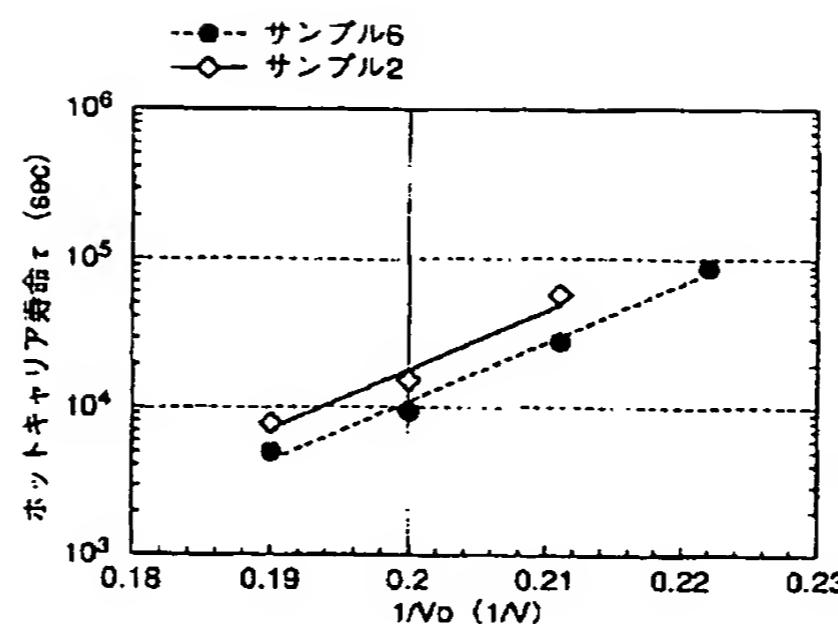
【図10】



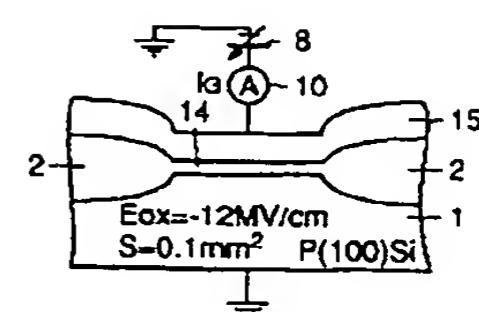
【図13】



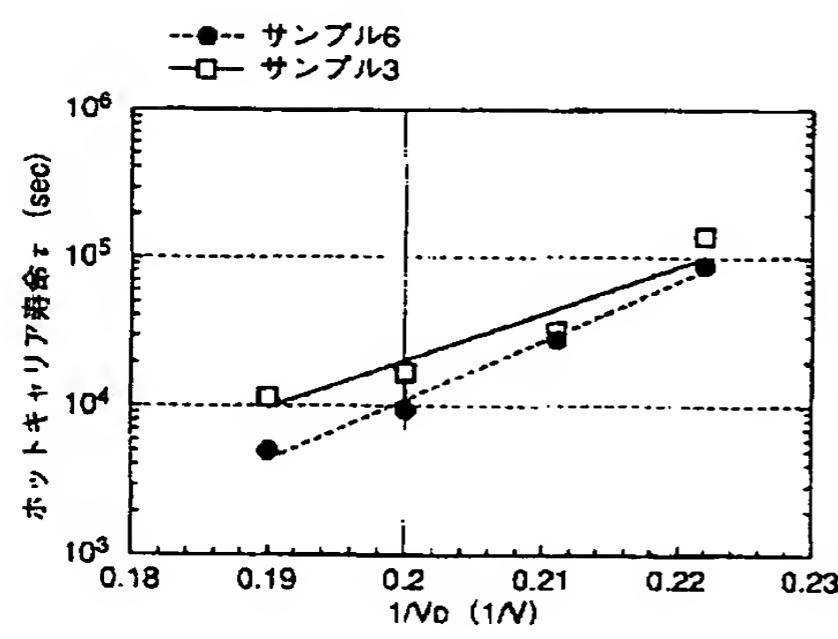
【図14】



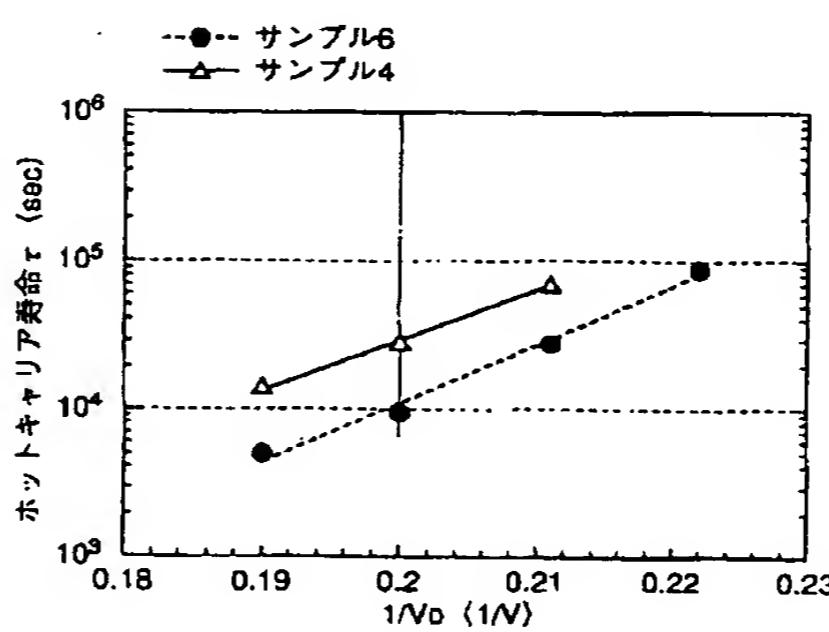
【図25】



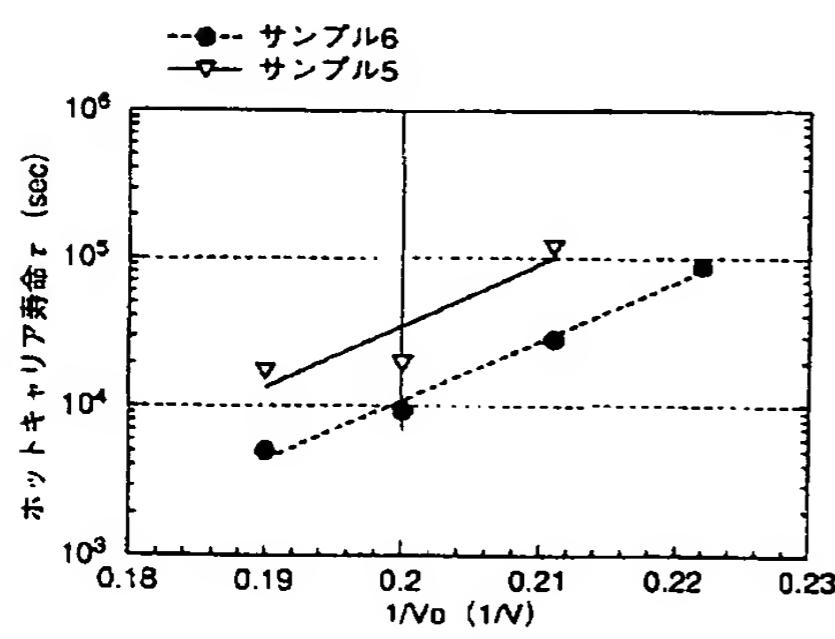
【図15】



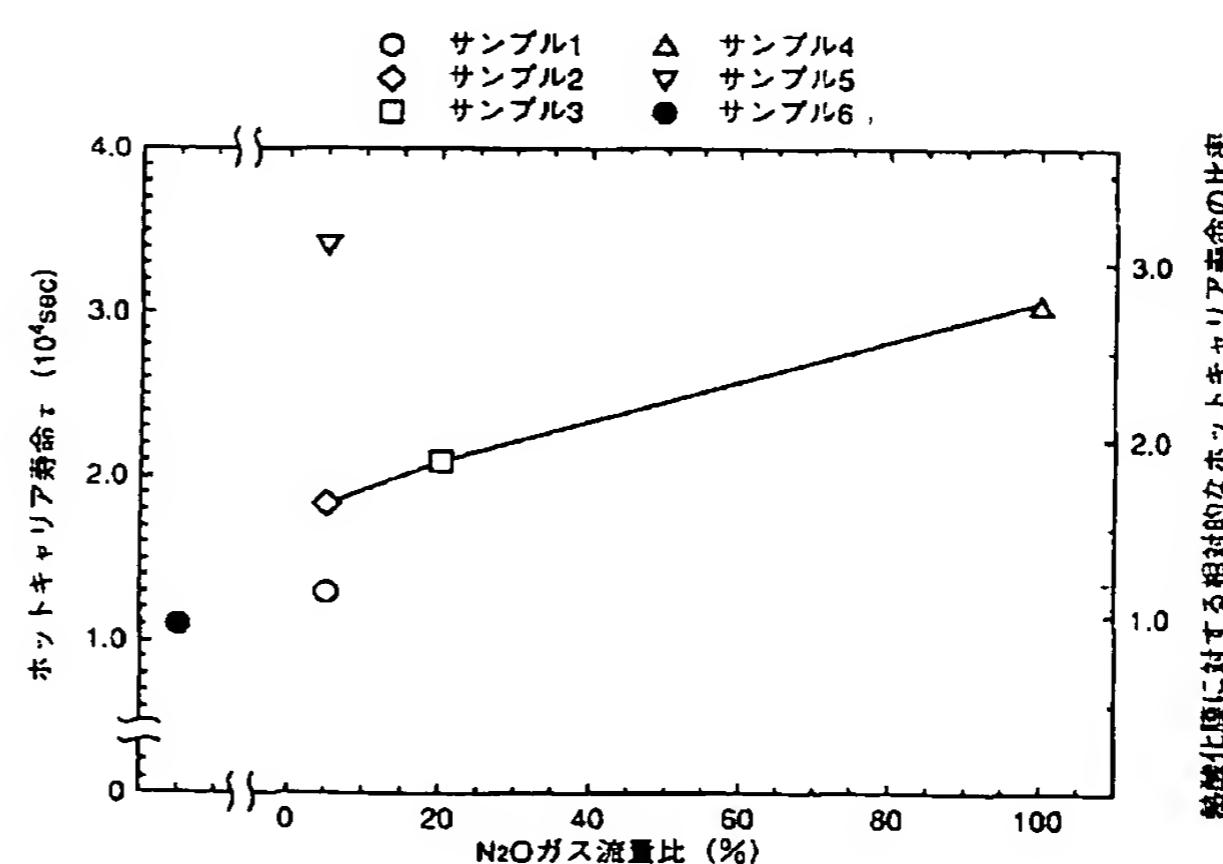
【図16】



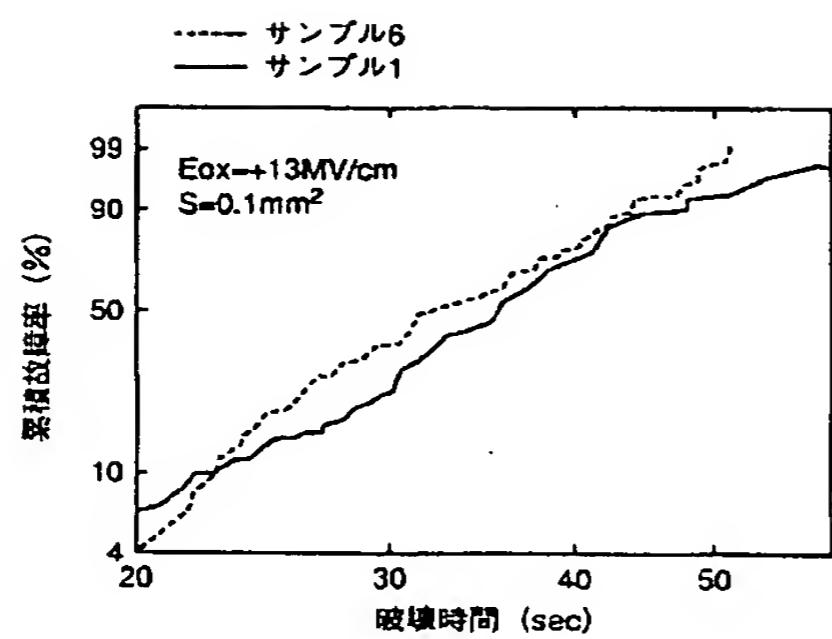
【図17】



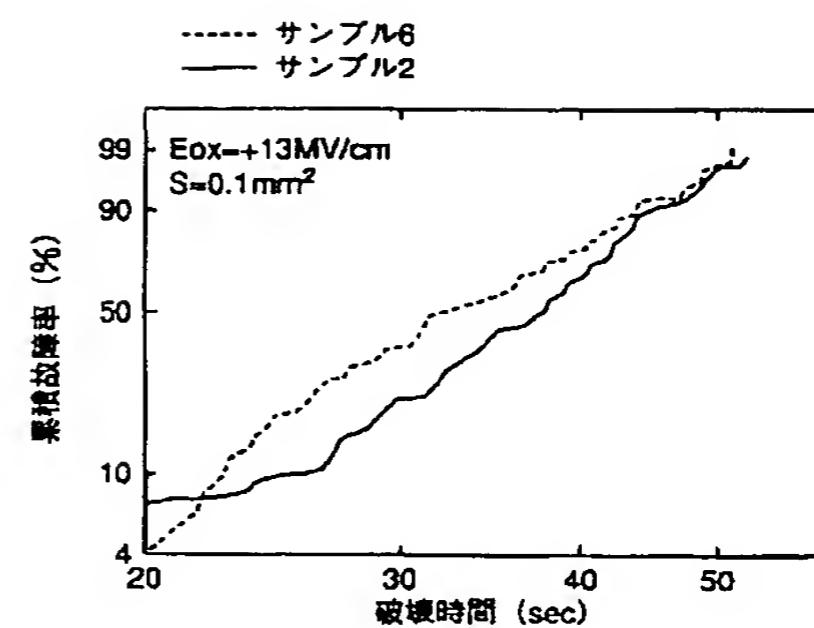
【図18】



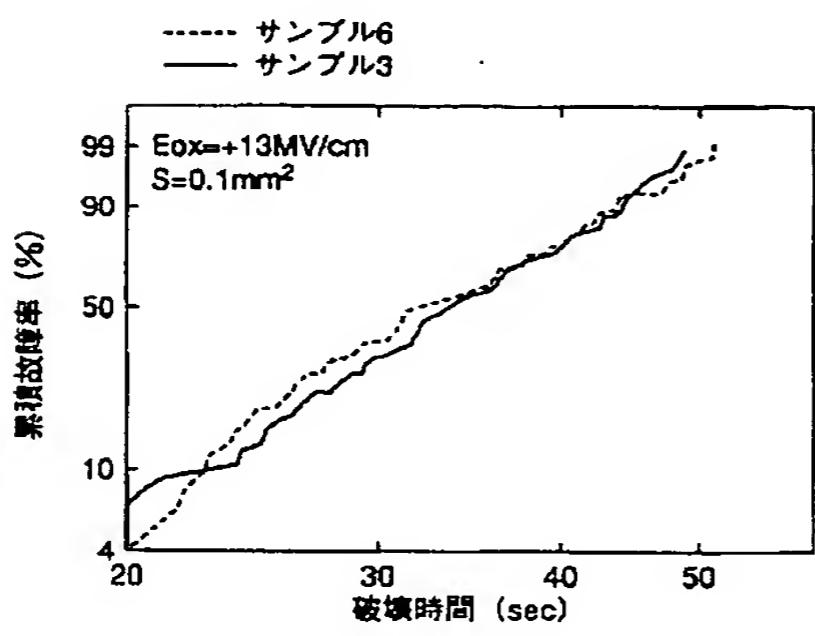
【図20】



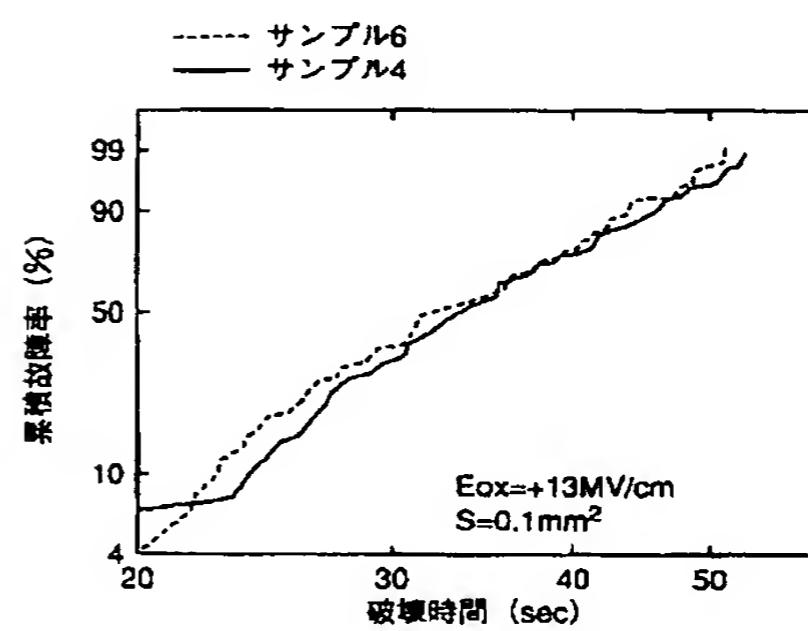
【図21】



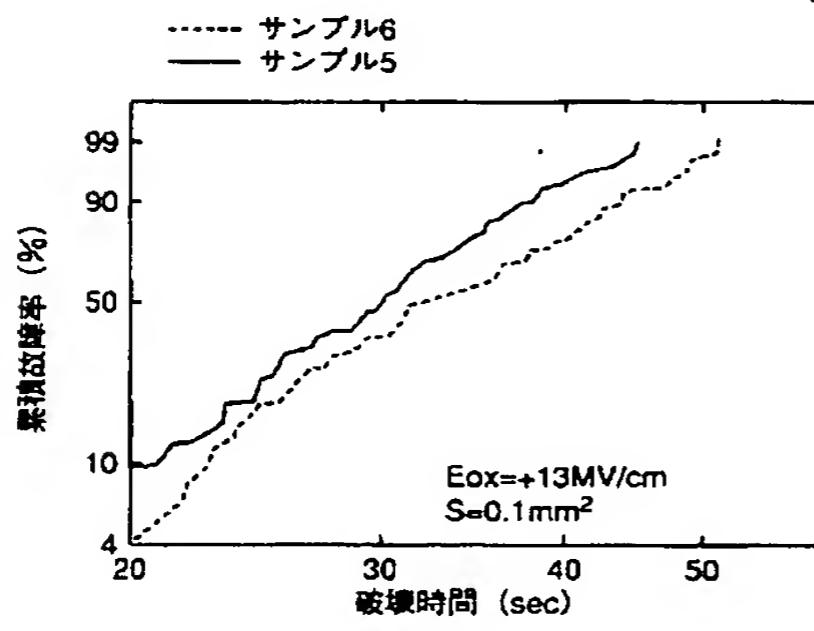
【図22】



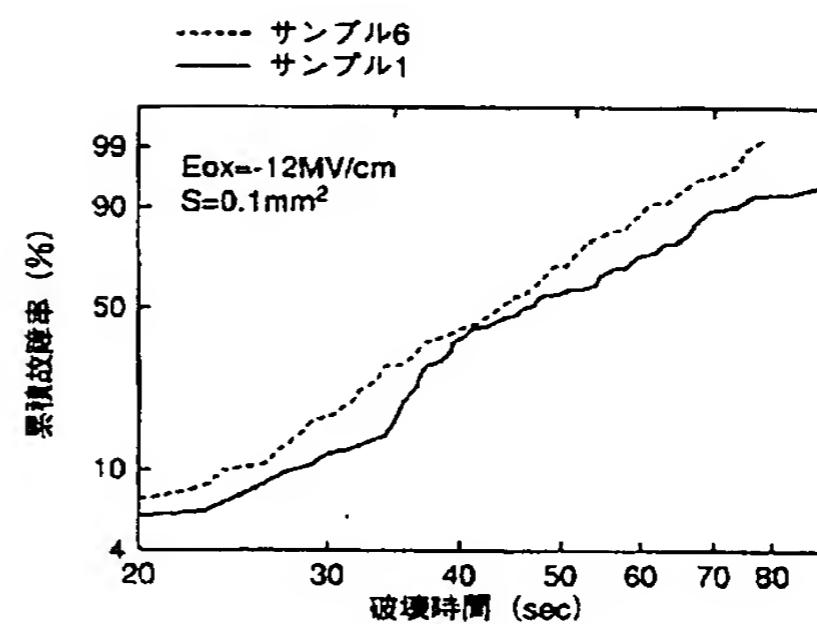
【図23】



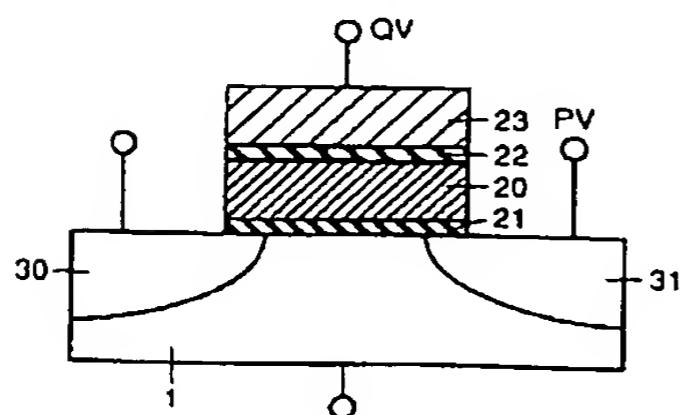
【図24】



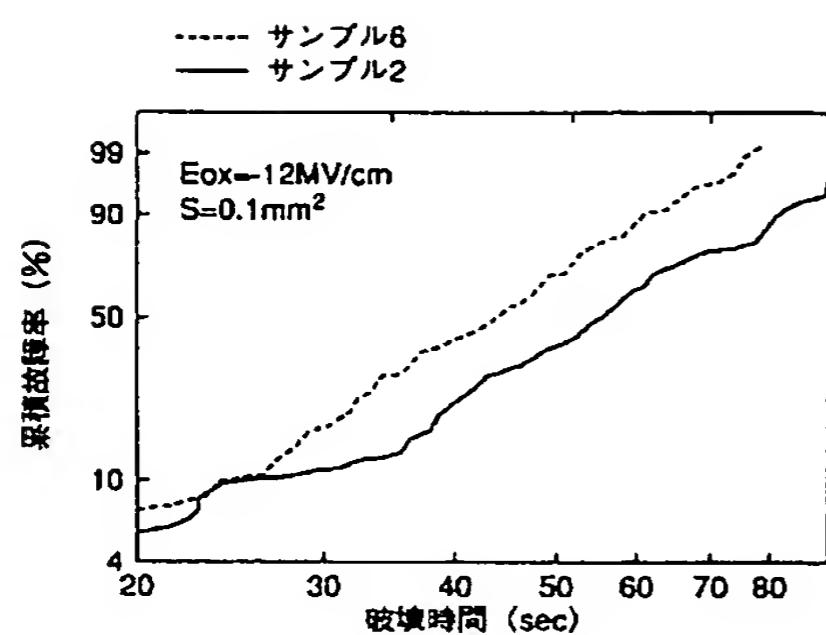
【図26】



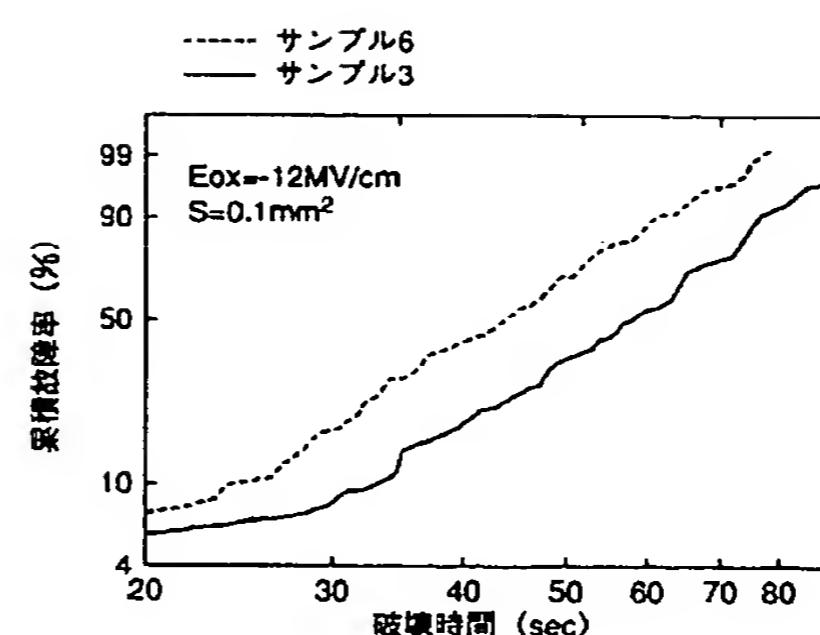
【図40】



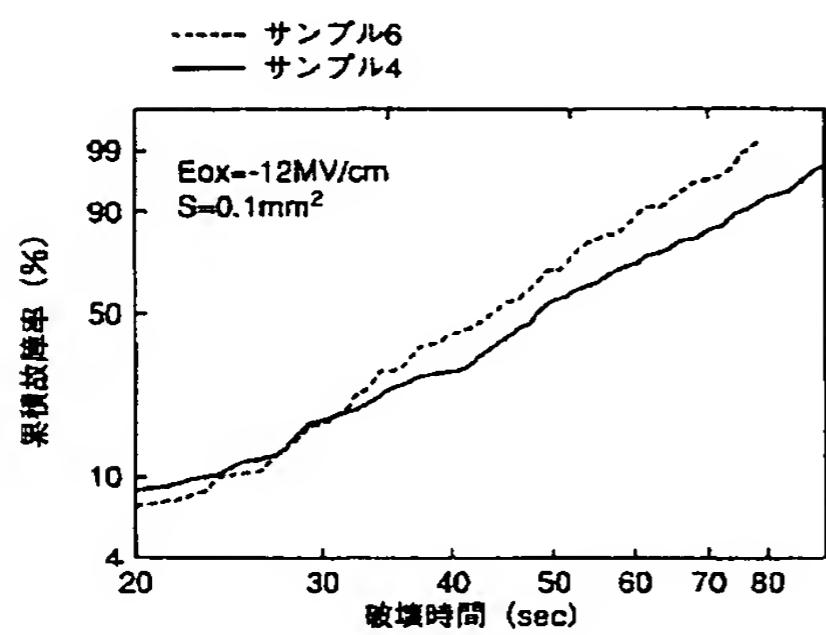
【図27】



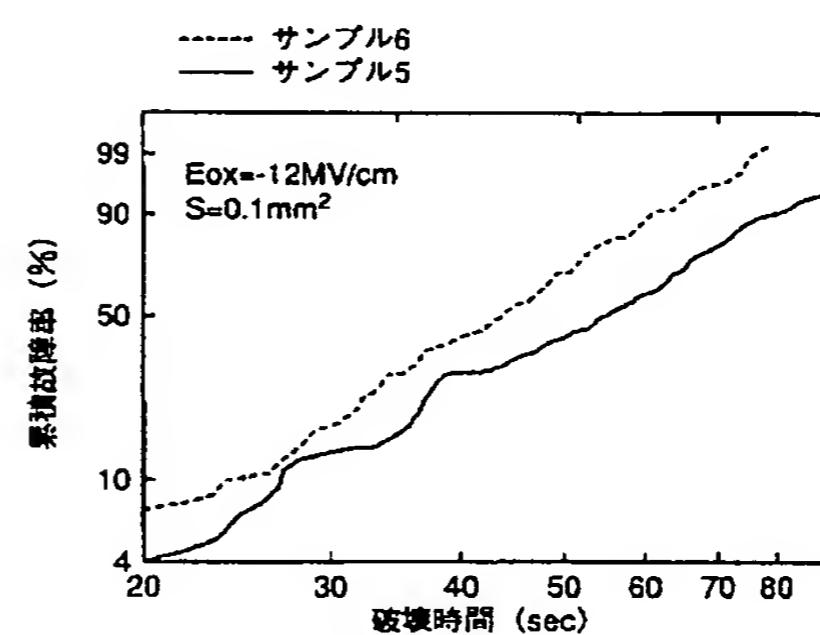
【図28】



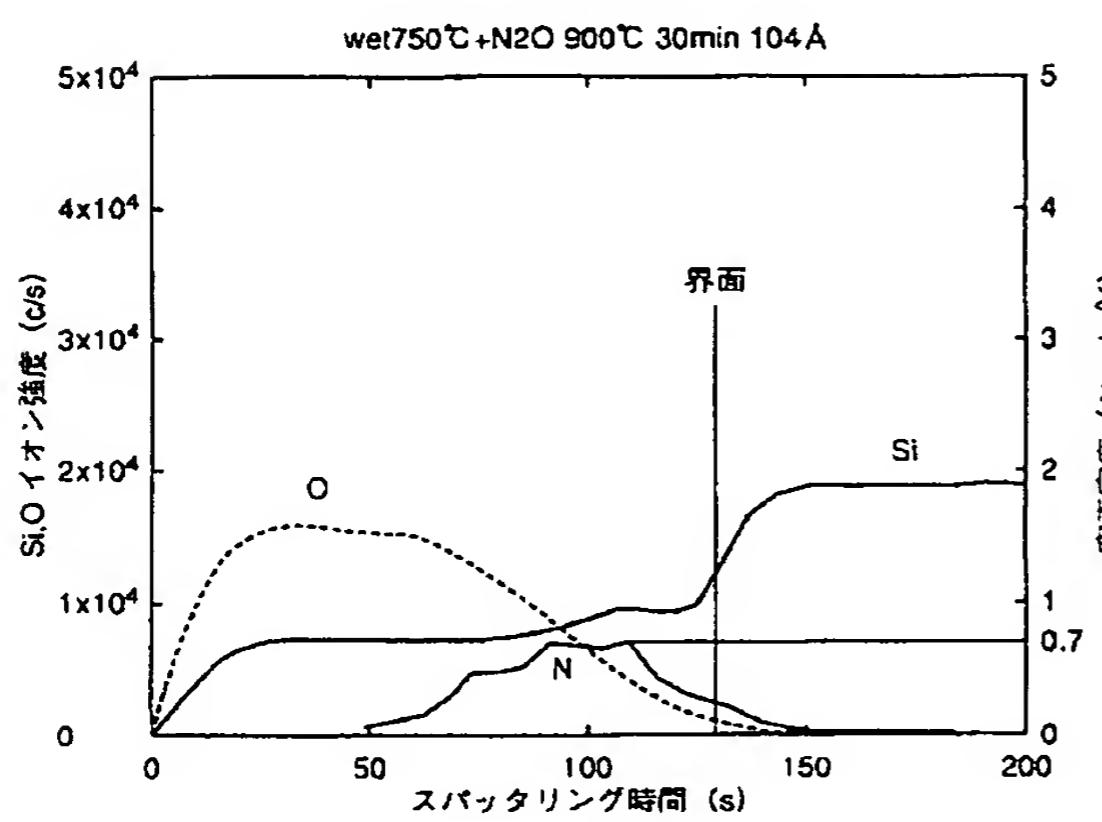
【図29】



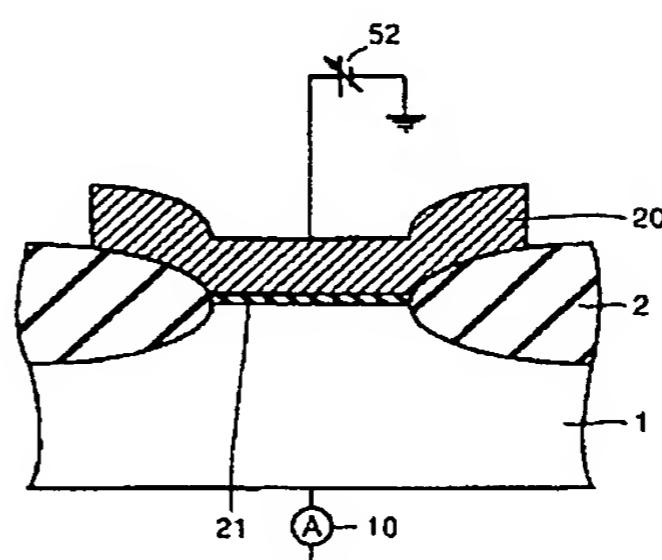
【図30】



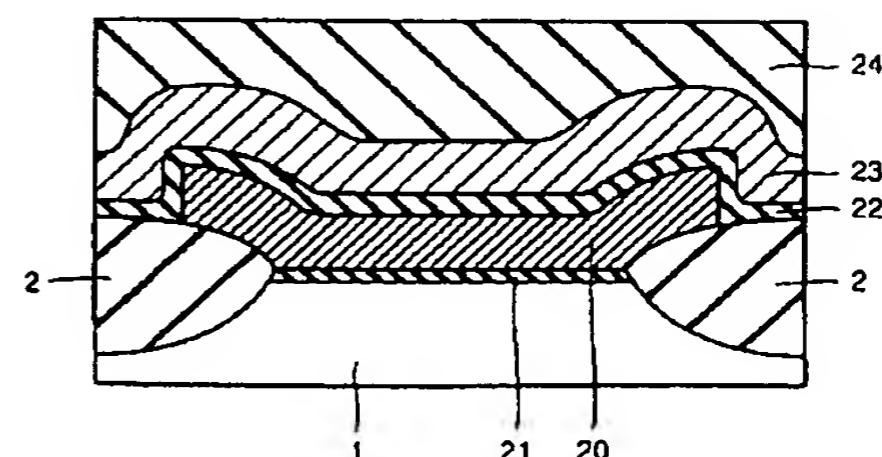
【図31】



【図35】



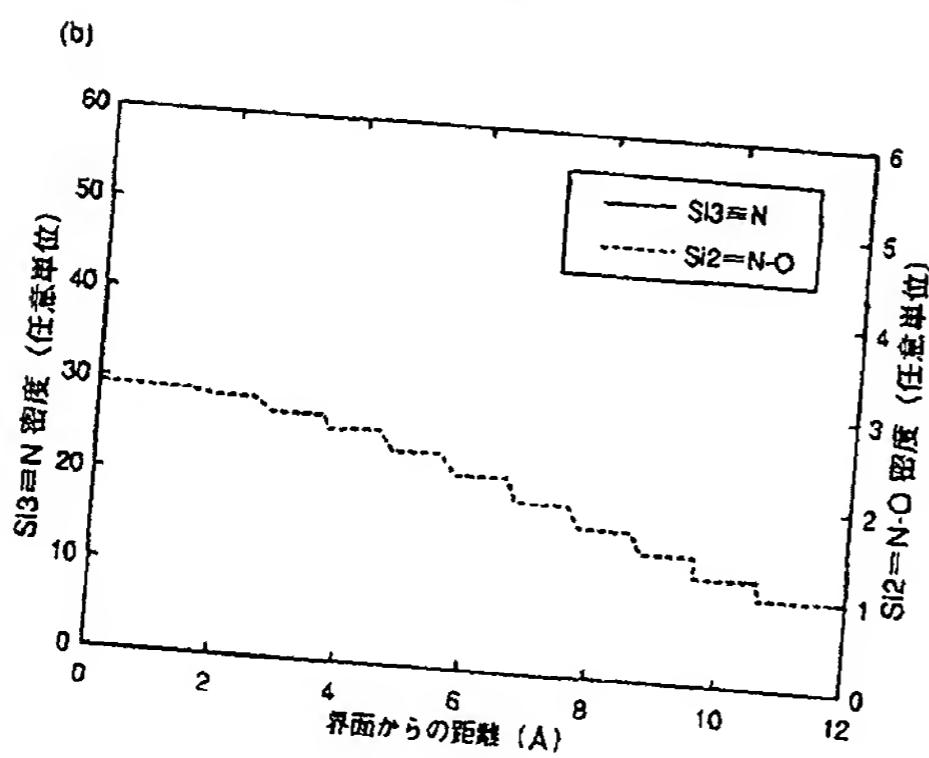
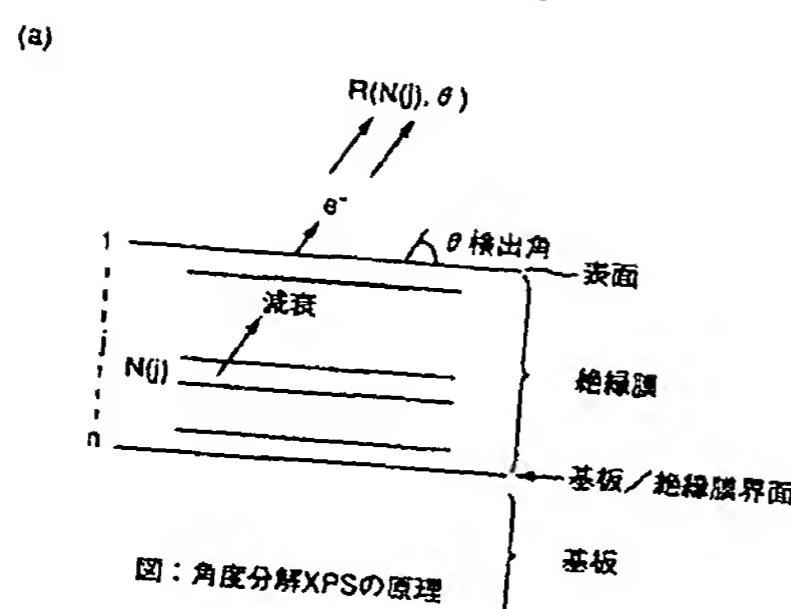
【図37】



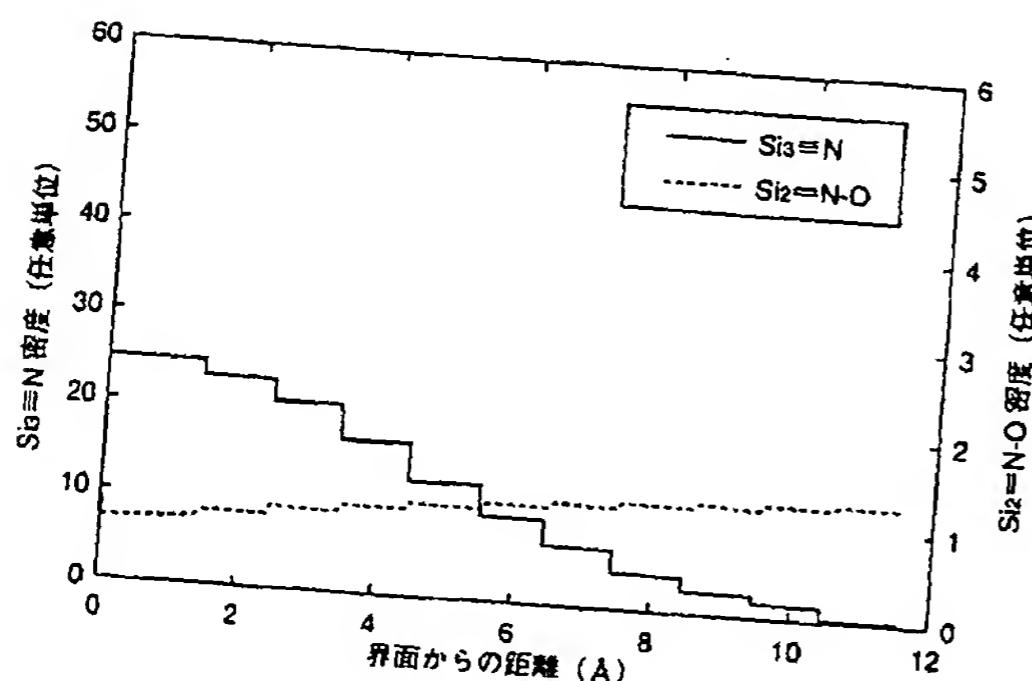
(16)

特開平11-204787

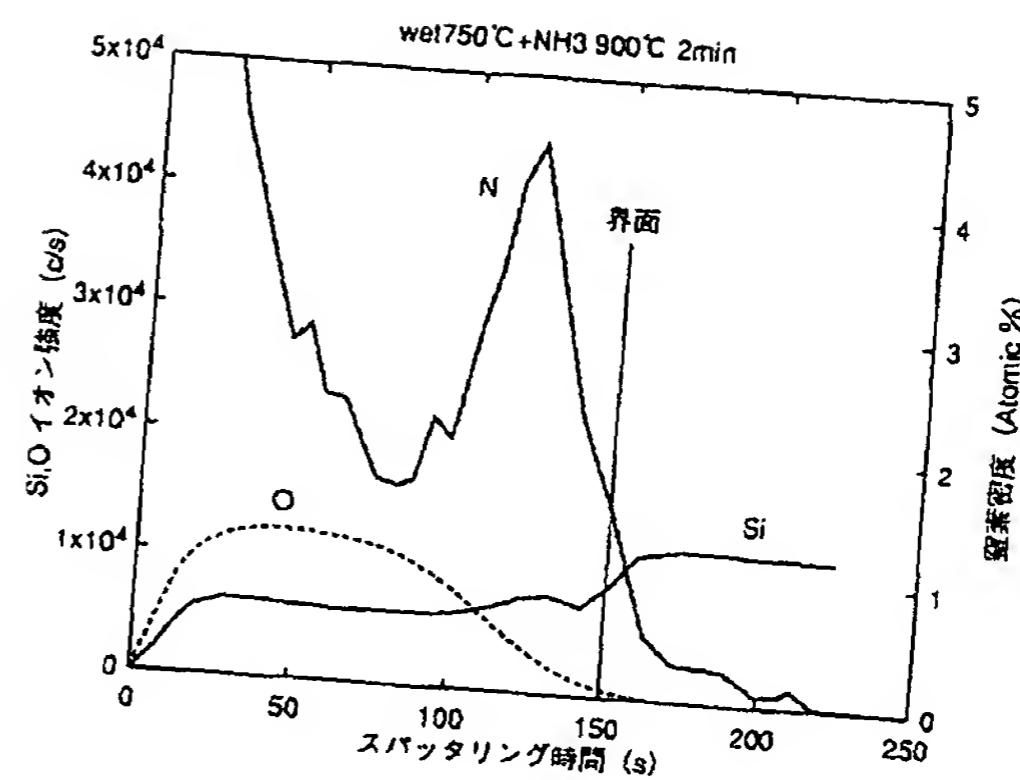
【図32】



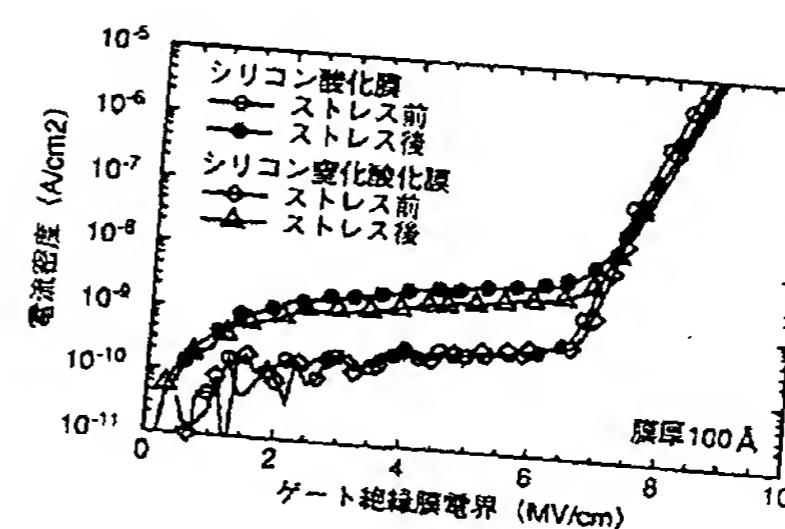
【図34】



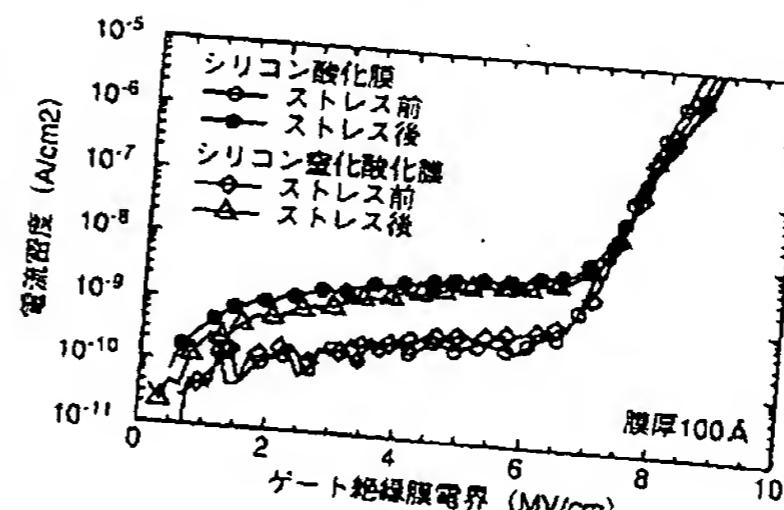
【図33】



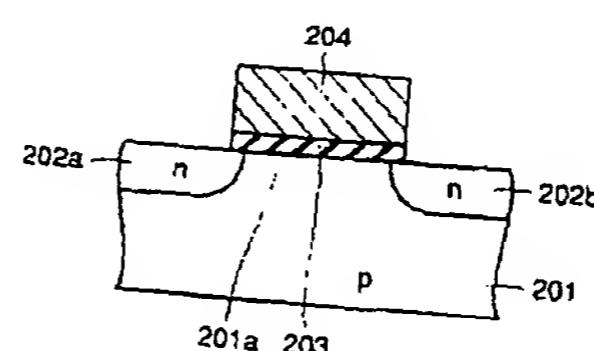
【図36】



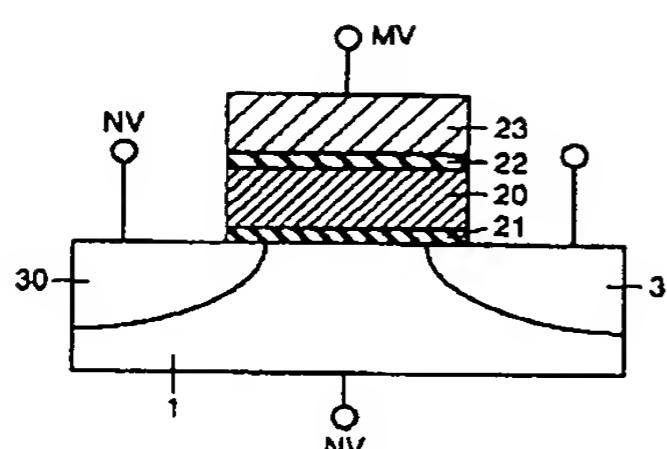
【図38】



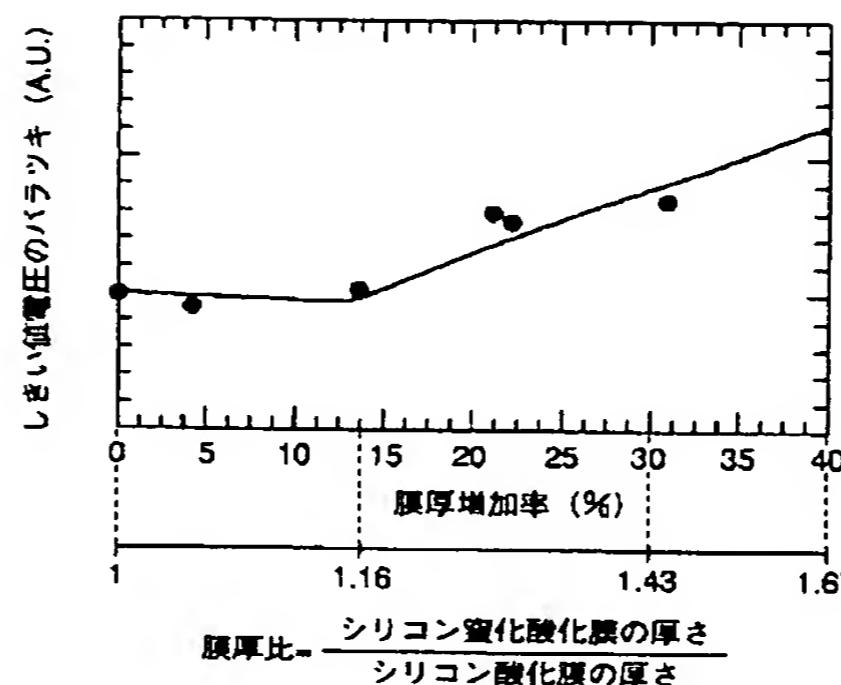
【図45】



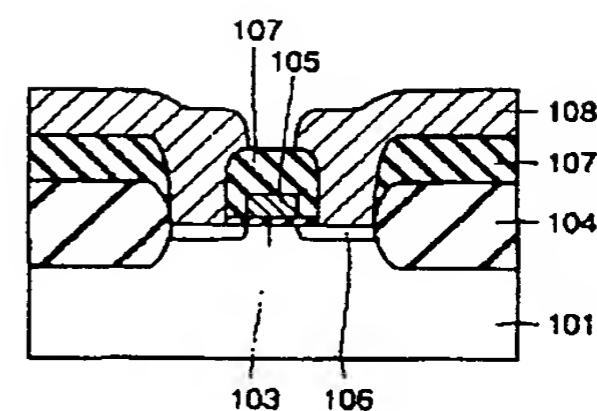
【図39】



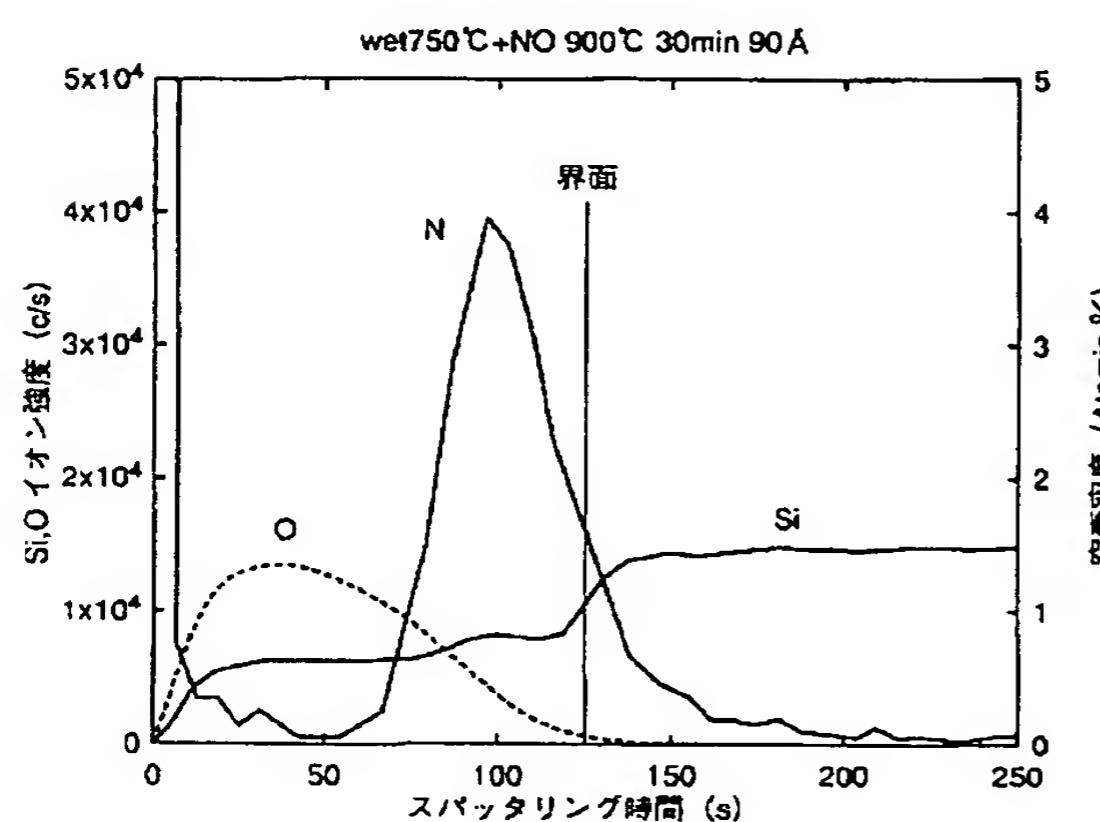
【図41】



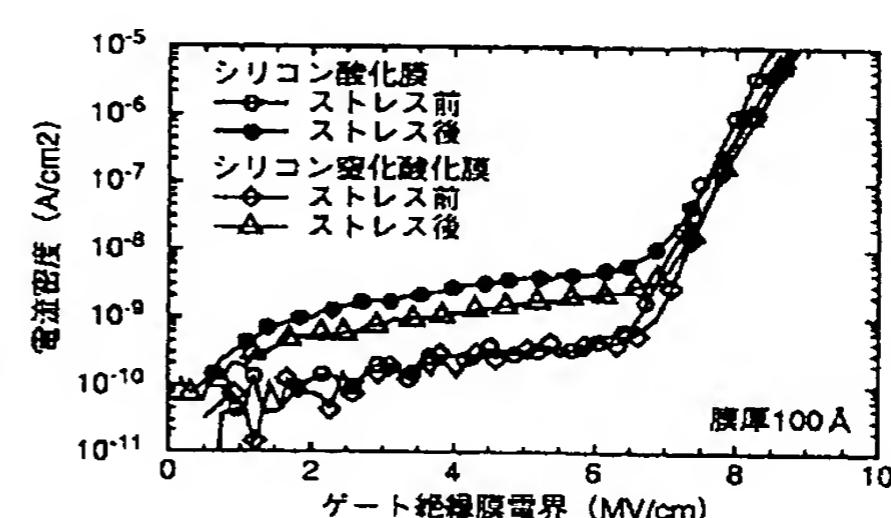
【図46】



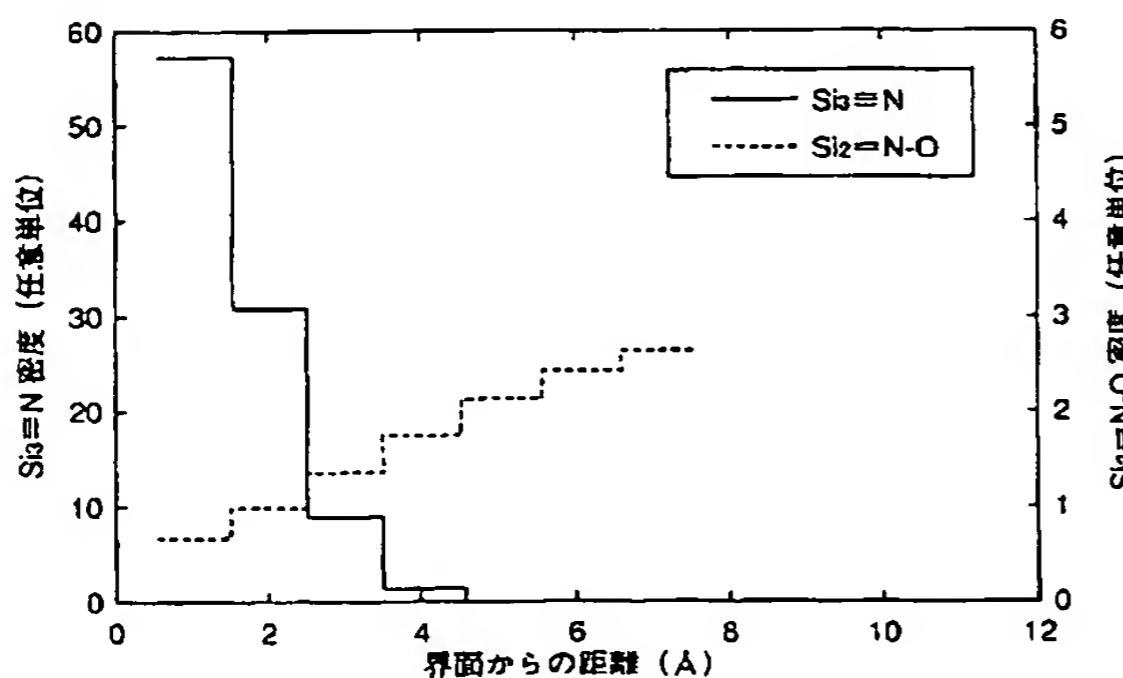
【図42】



【図44】



【図43】



フロントページの続き

(51) Int.C1.⁶ 識別記号 F I
H O I L 29/792

(72) 発明者 田村 浩昭
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内